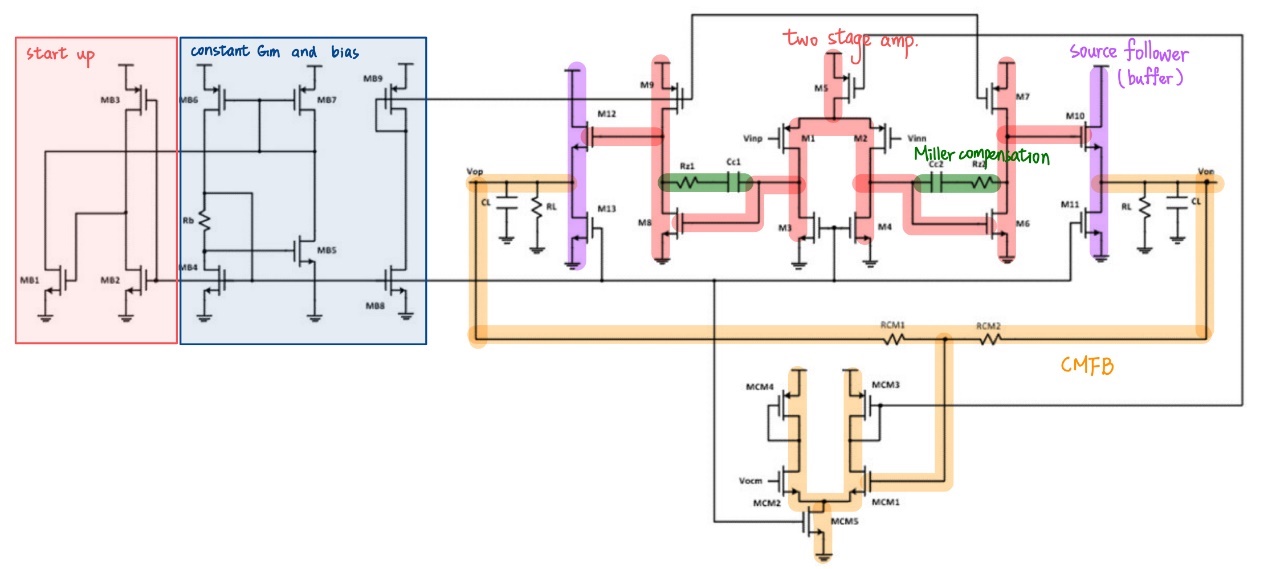
**AIC Final Project**

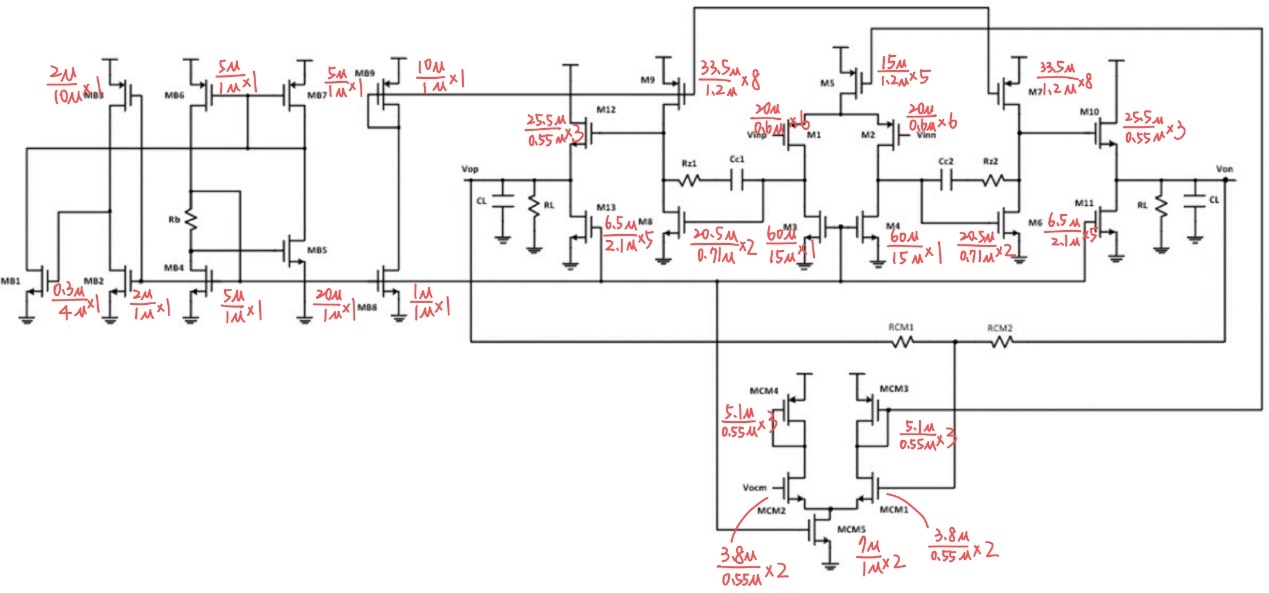
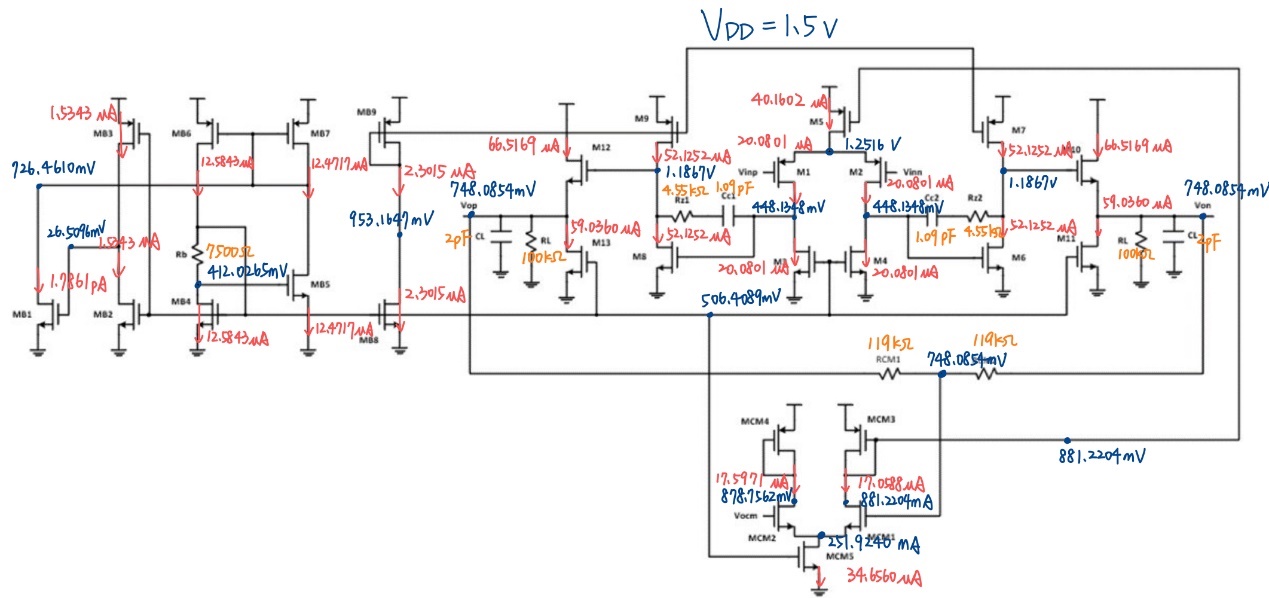
A Fully-Differential Two-Stage Operational Amplifier

110011222 電機系 陳立珩

1. Schematic and small signal parameters of active divices

Fig.1

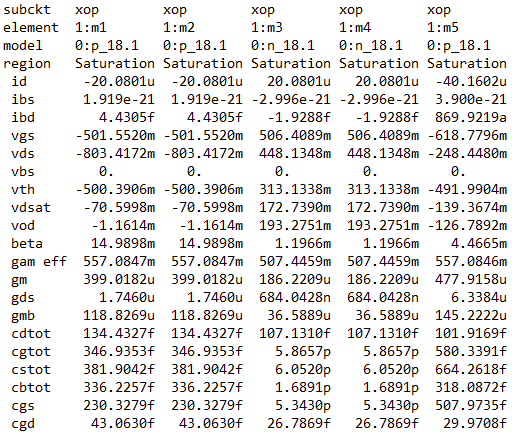
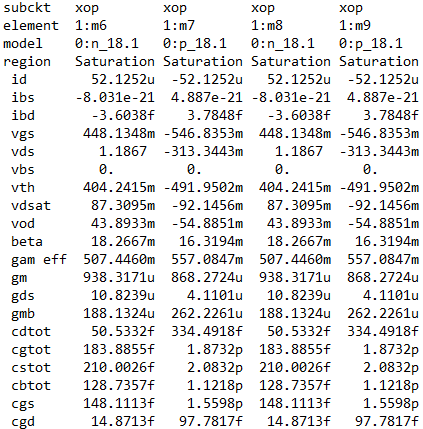
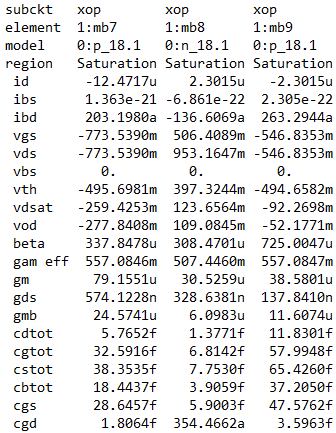
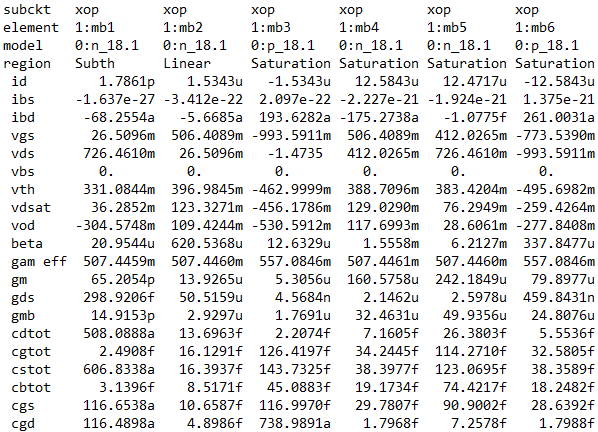
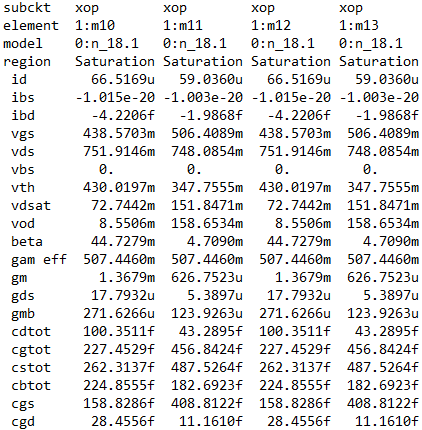
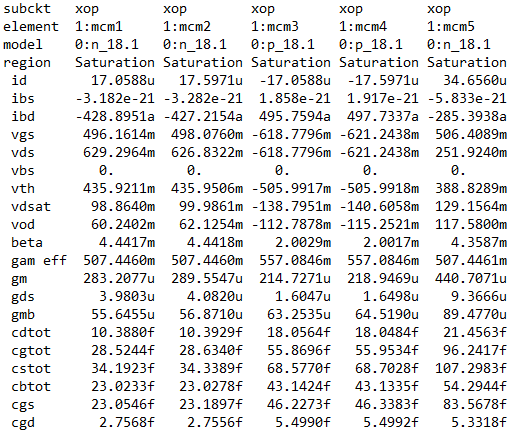




Lis.1

For the second amp. (M6~M9)

For the first amp. (M1~M5)



For the CMFB (MCM1~MCM5)

For the bias , start-up circuit (Mb1~Mb9)

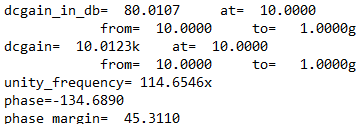
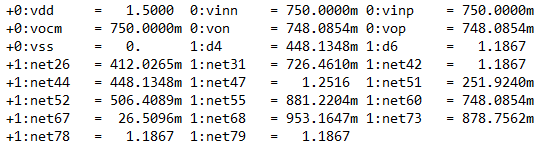
For the voltage buffer (M10~M13)

<1%

>70dB

For Gain , GBW and P.M.

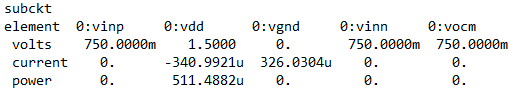
For node voltage



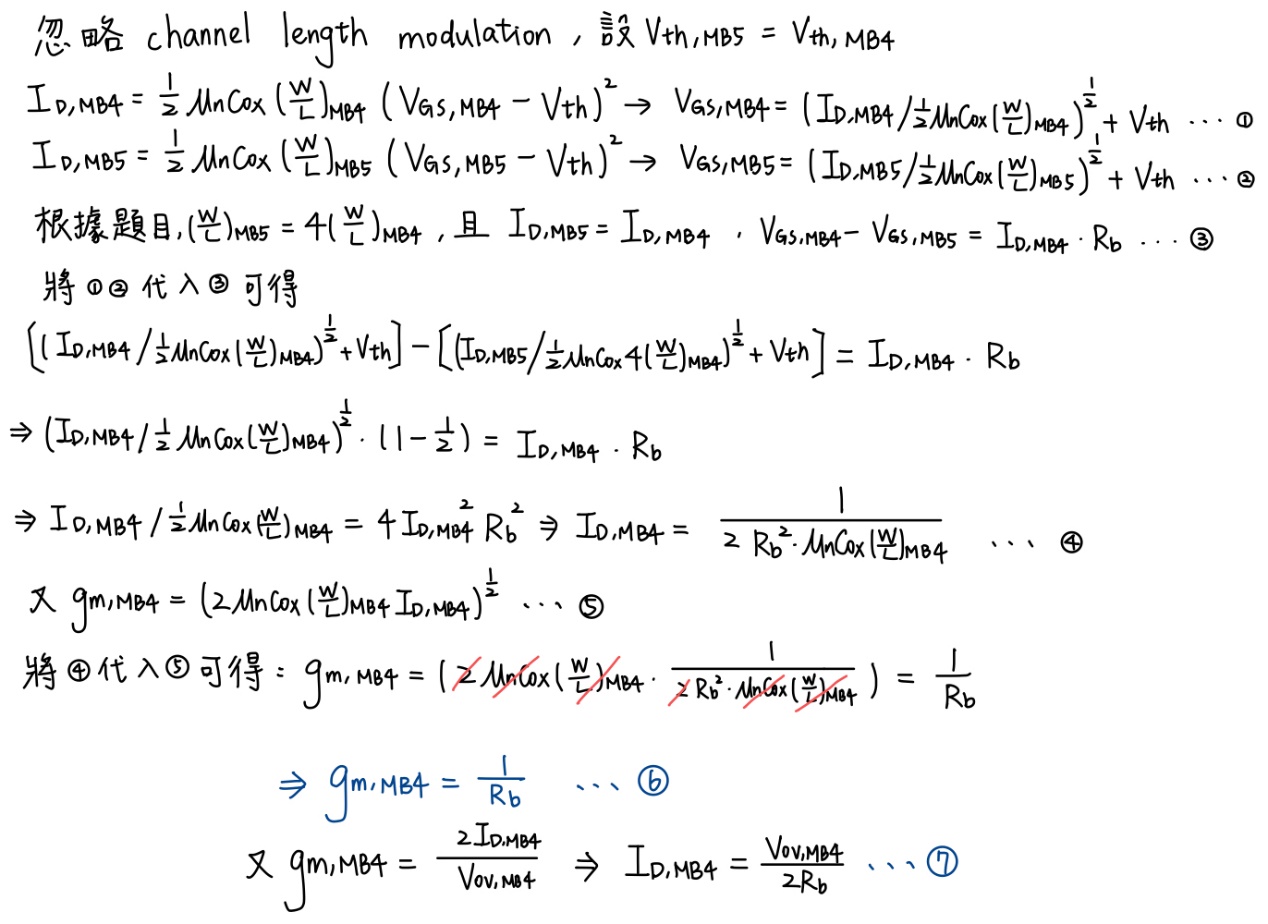
>50MHZ

>45

For current



Dis.1(a)



假設所有的Mos都處於飽和區且忽略了Channel Length Modulation，並且Vth相等，我們可以看到MB4的gm不受溫度、電源電壓以及操作狀況影響。因此，如果M3、M4、M8、M11和M13具有相同的尺寸，它們將具有相同的gm。 如果給定目標gm，我們可以使用推導結果和來計算Rb電阻的值，以設置Constant gm所需的電流。

Dis.1(b)

Why do we need a start-up circuit?

If all the transistors carry zero current when the supply is turned on, they may remain off indefinitely since it is also stable in that state. A start-up circuit drives the circuit out of the degenerate bias point when the supply is turned on. Once the circuit is turned on, the start-up circuit will be switched off.

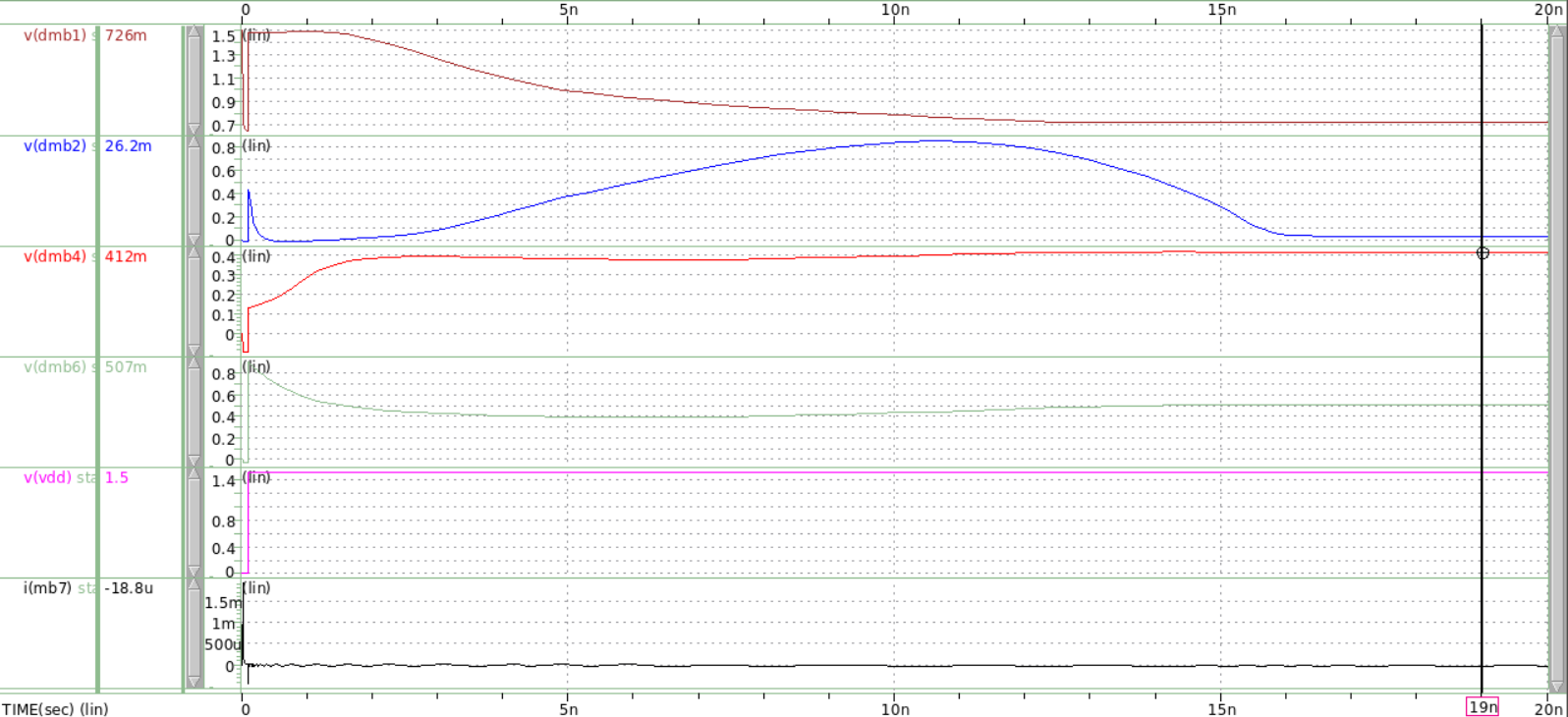
Please explain the functionality of the start-up circuit.

The function of the Start-Up Circuit,including MB1, MB2 and MB3,is to initiate the circuit. The principle is that when the power supply (Power Supply or Vdd) is turned on, MB3 receives a sufficiently large bias voltage and turns on. Once MB3 is turned on, it creates a bridge between the power supply (Vdd) and MB1. Consequently, the gate of MB1 starts charging and the voltage rises. When the gate voltage exceeds the threshold voltage (Vth) of MB1, MB1 turns on and forms a path between MB6 and MB7. Therefore, the gates of MB6 and MB7 begin to discharge because they are connected to ground. When the gate voltage of MB6 and MB7 drops to a certain level, MB6 and MB7 turn on . Since MB7 is diode connected and MB1 is on current must flow from MB7 to MB1, and since MB6 is a mirror , the current must thus also flow across MB6. Once the Constant gm Circuit starts operating, the gates of MB4 and MB2 will charge, and when the charge exceeds the threshold voltage (Vth) of MB2, MB2 turns on. After the path is formed, the gate of MB1 continues to discharge to ground, and when it discharges to a level below the threshold voltage (Vth) of MB1, MB1 turns off. Thus, the Start-Up Circuit achieves its functionality.

How do you design the size of the transistors to improve the power efficiency after startup ?

The sizing of the transistors will be related to threshold voltage of the path of current when the circuit is just starting up. The total threshold voltage of all the MOSFETs in that path should be smaller than VDD to make sure the MOSFETs can be turned on to jump start the other transistors.

To reduce power consumption and improve efficiency, it is necessary to lower the current flowing through the Start-Up Circuit. From the above analysis, we know that MB1 will eventually turn off. Therefore, considering the situation where MB1 has no current, the current values of MB2 and MB3 should not be too large. Because the current is directly proportional to the (W/L) ratios, the (W/L)ratios of MB2 and MB3 should not be too large.

Start up Circuit Test.(Apply Initial Condition)

***Voltage(V)***

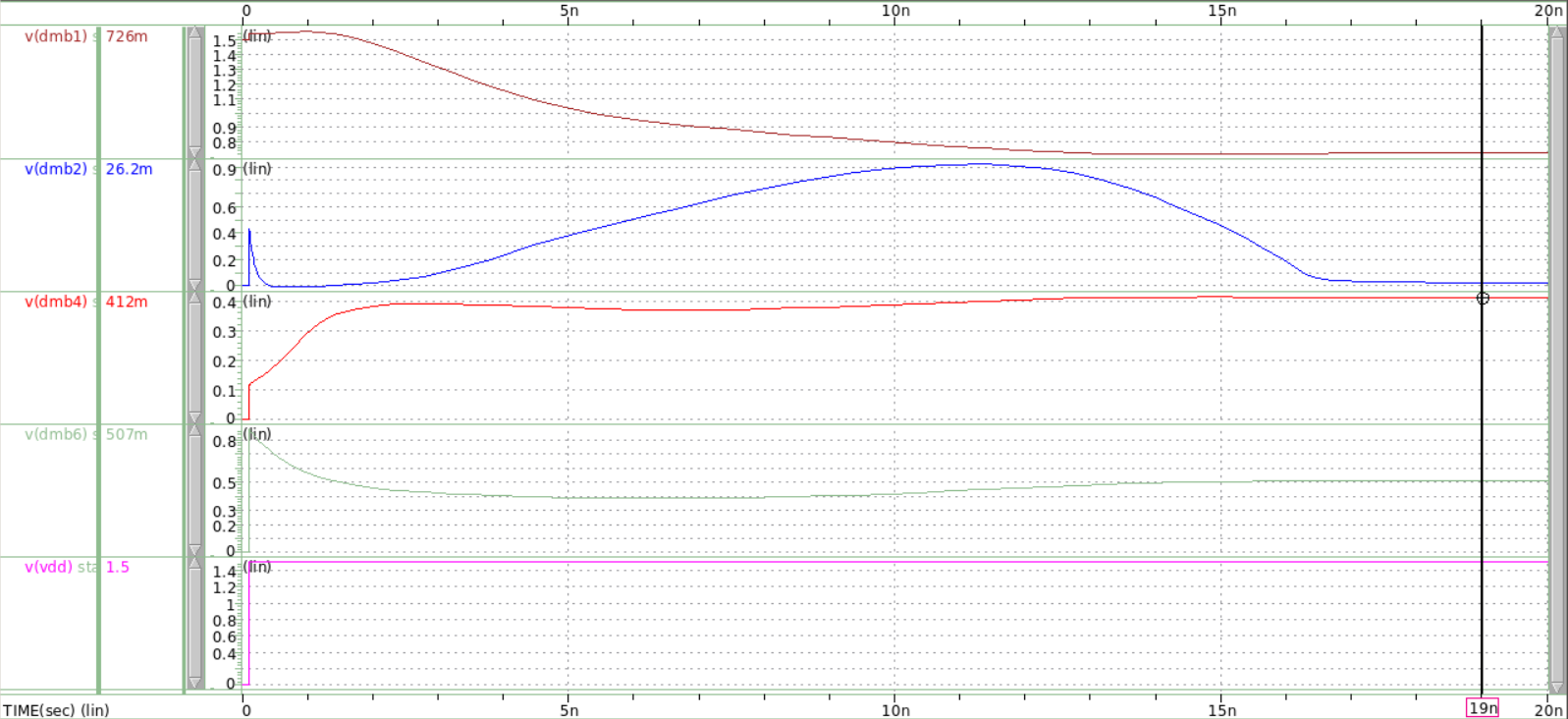
MB2 Drain電壓上升因為Subth

穩態輸出電壓507mV

***Time(Sec)***

推測可能跟漏電有關

此圖為模擬Start-Up電路和Constant gm電路上電過程，我讓Vdd在0.11ns時上升到1.5V，且要求MB7的Gate端一開始就要在1.5V，經過模擬後可以發現由於MB7 Gate和Drain有電壓，產生漏電的效應，所以在剛開不久電壓馬上就掉到0.7V左右，以至於Start-Up電路並沒有完美如上述分析一樣，但最終的電壓如同OP穩態的偏壓一樣大致為507mV，而且在19ns就達到電路穩定。

Only Start up Circuit Vdd from 0v to 1.5v

MB1 Drain電壓無驟降

***Voltage(V)***

穩態輸出電壓507mV

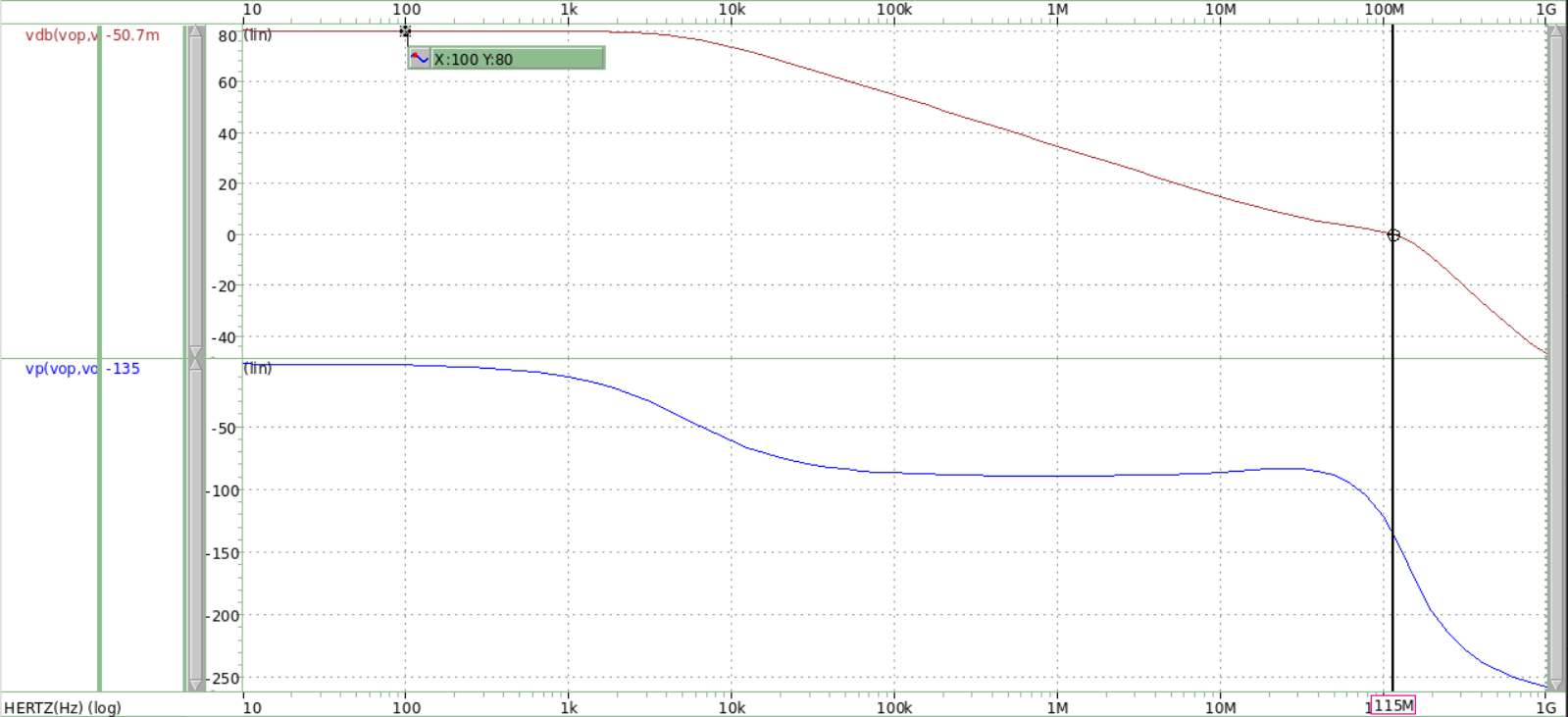
***Time(Sec)***

如果我將Constant gm電路的Vdd一開始就設定在1.5V，少了漏電效應讓MB1的Drain維持在1.5V，結果就比較符合上述推斷的情形，可以發現最終穩態的電壓一樣為507mV。

1. Specification Table

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Design Items | Specifications | score | Simulation | Calculation |
| **Technology** | CIC pseudo 0.18um technology | | | |
| **Vicm, Vocm** |  | | | |
| **Supply voltage (V)** | Open for design  **1.8 / 1.5 / 1.3** | **2%** | 1.5 |  |
| **4%** |
| **6%** |
| **Supply current (mA)**  **(including bias ckt)** | **< 3 / < 1 / < 0.4** | **2%** | 0.3409921 |  |
| **4%** |
| **6%** |
| **Loading** | 2 pF / 100 kΩ  (for each output) |  | 2 pF / 100 kΩ  (for each output) |  |
| **Compensation Rz, Cc** | Rz < 10 kΩ , Cc < 10 pF |  | Rz = 4.55 kΩ  Cc = 1.09 pF |  |
| **Open-loop simulation** | | | | |
| **DC gain (dB)** | **> 70 / > 75 / > 80** | **1%** | 80.0107 | 80.0108 |
| **3%** |
| **5%** |
| **G-BW (MHz)** | **> 50 / > 75 / > 90 / > 100** | **1%** | 114.6546 |  |
| **2%** |
| **3%** |
| **4%** |
| **P.M.** | > |  | 45.3110 |  |
| **C.M.R.R. @10KHz** | > 90 dB |  | 113.9886 dB | 113.9886 dB |
| **P.S.R.R.+ @10KHz** | > 90 dB |  | 112.1017 dB |  |
| **P.S.R.R.- @10KHz** | > 90 dB |  | 108.7805 dB |  |
| **Closed-loop simulation** | | | | |
| Differential swing of 1.0 V (step or sinusoidal) | | | | |
| **Closed-loop gain** | > -0.1dB @ 10kHz |  | -0.0017 dB | -0.0017336 dB |
| **S.R.+ (10% ~ 90%)** | > 15 V/us (single-ended output) |  | 16.3878 V/us | 16.4765 V/us |
| **S.R.- (90% ~ 10%)** | > 15 V/us (single-ended output) |  | 15.2159 V/us | 15.2483 V/us |
| **THD (1.0Vpp@100kHz Sin)** | < - 60 dB |  | -70.63 dB |  |
| **Settling+ (1.0Vstep to 0.5%)** | < 150 ns |  | 35.8180 ns |  |
| **Settling- (1.0Vstep to 0.5%)** | < 150 ns |  | 50.7992 ns |  |
| **(ns)** | **< 150 / < 90 / < 70 / < 55** | **1%** | 43.3086 ns |  |
| **2%** |
| **3%** |
| **4%** |

1. Simulations Result
   1. Open-Loop Differential Mode AC Response

Fig. 3.1(a)

*DC Gain = 80.0107 (dB)*

***Gain (dB)***

*Unity Gain Frequency 114.6546(MHz)*

***Phase****(****°****)*

*Phase Margin 180-134.6890(°)*

*45.3110(°)*

***Frequency (Hz)***

本次Final我所設計的電路

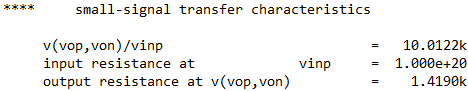
雙端輸出 DC\_Gain\_dB 為 80.0107(dB)

GBW為114.6546(MHz)

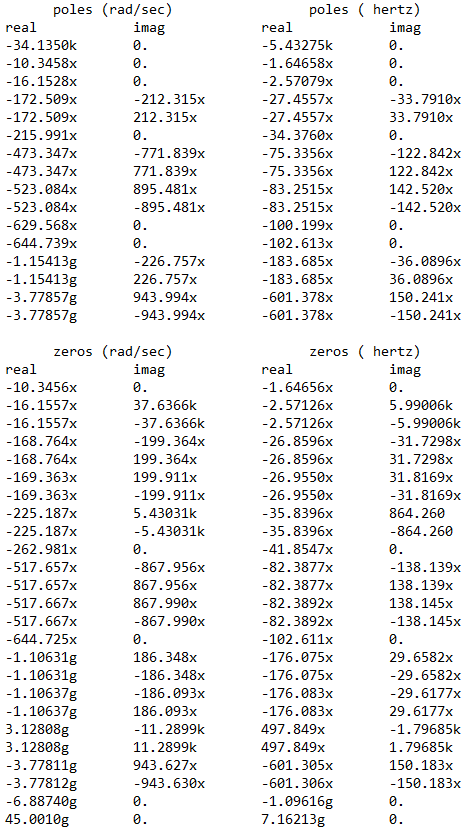
Phase Margin 為 180°-134.6890°= 45.3110°

理論上對於放大器來說 P.M. 大於0即可，最終會趨近於穩定，但我在設計時發現 P.M 就算大於 45°，CMFB 也會影響系統之穩定，後續會加以討論。

Tab. 3.1(b)



Tab. 3.1(c)



Dis. 3.1

1. **Gain**

因電路為對稱架構，故能用等效半電路下去做分析，且Buffer後面還有接上RCM和RL，故可視為負載效應下去算Gain。

=164.2021(V/V)

=62.8309(V/V)

=0.97(V/V)

總增益Gain= A1A2Abuffer =10012.54496(V/V)=80.0108(dB)

與模擬出的值10.0122K(V/V)，誤差為0.003%，公式基本正確。

1. **Dominant Pole**

受到Miller Effect的影響CC會被放大A2倍，出現在第一級的輸出端。

|Dominant Pole| = ,,

= 5647.21(Hz)

與模擬出的絕對值5432.75(Hz)，誤差為3.79%，公式基本正確。

1. **Non-dominant Pole**

這次有加入 Buffer，且CL並不掛在第二級輸出，其值為2pF的電容，所以可以推測第二個Pole應該為Output Pole。

|Pole 2| = ,

=112.163(MHz)

與模擬出的絕對值102.016(MHz)，誤差為10.6%，可能為各值的四捨五入造成誤差。

至於Pole 3位在第二級的輸出端經頻率補償之後為

Pole 3

C1 Cdtotal,M2+ Cdtotal,M4+ Cgs,M6 = 389.67f (F)

C2 Cdtotal,M6+ Cdtotal,M7+ Cgs,M10 = 543.85f (F)

|Pole 3| 159.971(MHz)

與模擬值=144.102(MHz)，誤差9.9%，可能來自於公式的化簡和電容值大致抓取造成誤差，但相差不大可以知道公式大致正確。

1. **Zero**

經由老師上課得知在米勒補償後，本來米勒電容所產生的Right Half-Plane Zero 會使Phase急速下降，但加入RZ後，能藉由調整RZ使Right Half-Plane Zero變成Left Half-Plane Zero。

|Zero| = =41.906(MHz)

與模擬出的絕對值41.8547(MHz)，誤差為0.12%，公式基本正確。

未加米勒補償前可能會電路造成穩定性差，我們須加入米勒補償讓Dominant Pole頻率變低，使Gain盡快掉到0dB，這樣有助於把 Phase Margin 拉大，但 Dominant Pole 頻率變低就犧牲掉了Gain Bandwidth，也會在InBand內加入一個較小的Right Half-Plane Zero使Phase Shift更為劇烈，為了避免此情況，會加入補償電阻RZ，而補償電阻如果可以設計成RZ>1/gm的大小能有效的把RHZ變為LHZ進而增加 Gain Bandwidth和Phase Margin。理論上來說，一個好的補償系統可以同時把Gain Bandwidth和Phase Margin一起加大，但多數情況下都會變成Gain Bandwidth和Phase Margin去做Trade Off。

* 1. Open-Loop Differential Mode DC Sweep

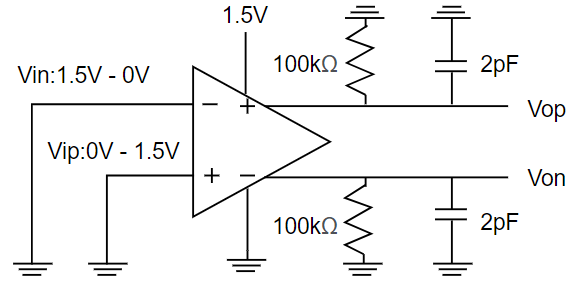
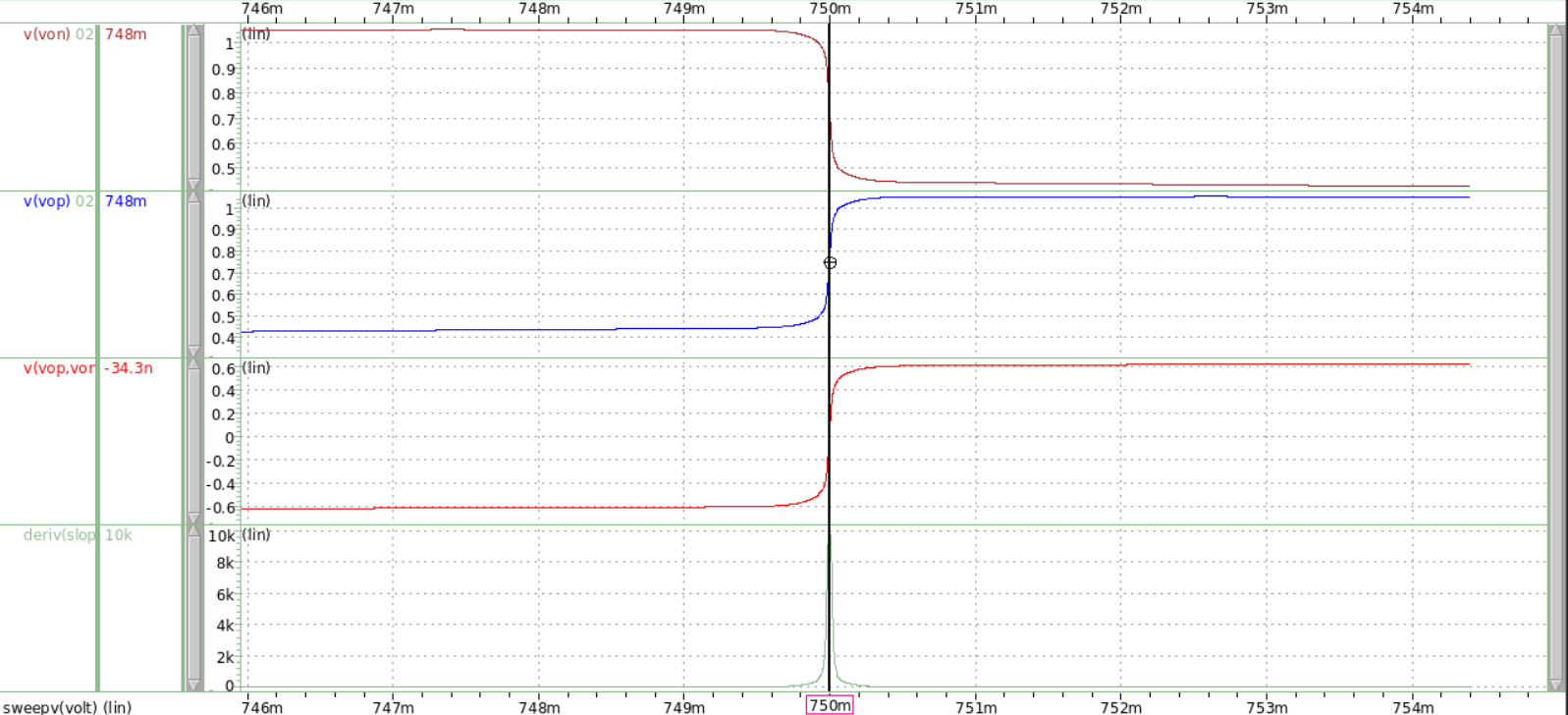


Fig. 3.2(a)



VOP-VON

VOP

VON

***Voltage (V)***

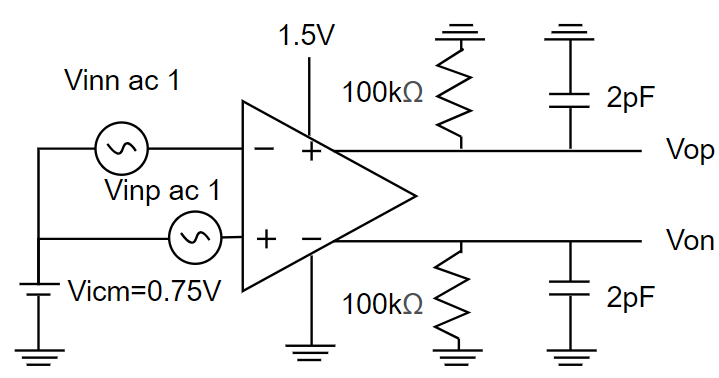
Compare with

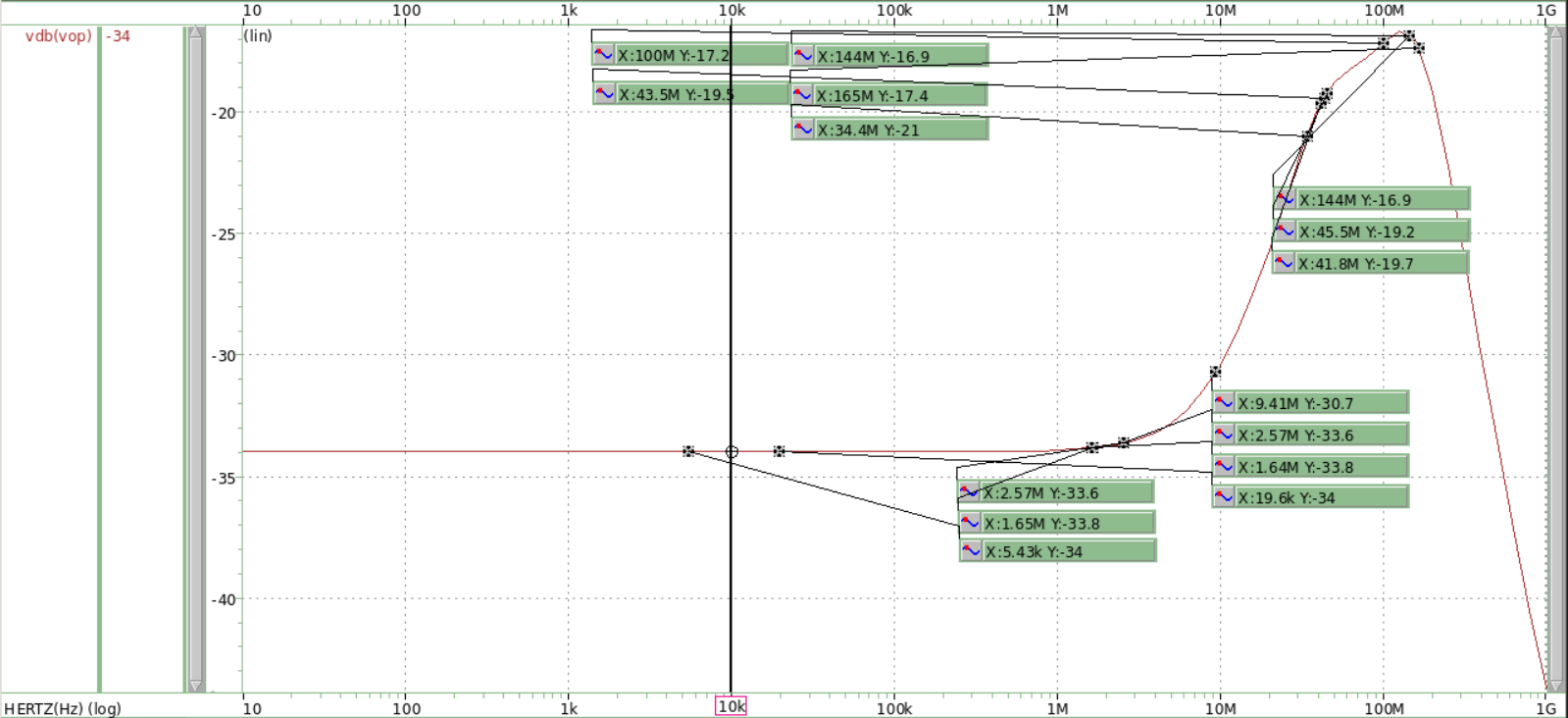
DC Gain: 10.0122k

***Voltage (V)***

因Wave View會四捨五入，觀察Slope幾乎與DC\_Gain相同。

* 1. Open-Loop Common Mode AC Response



Fig. 3.3(a)

Vdb(Vop)=-33.9779dB

Poles

***Gain (dB)***

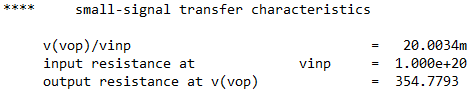
Zeros

Zeros

Poles

***Frequency (Hz)***

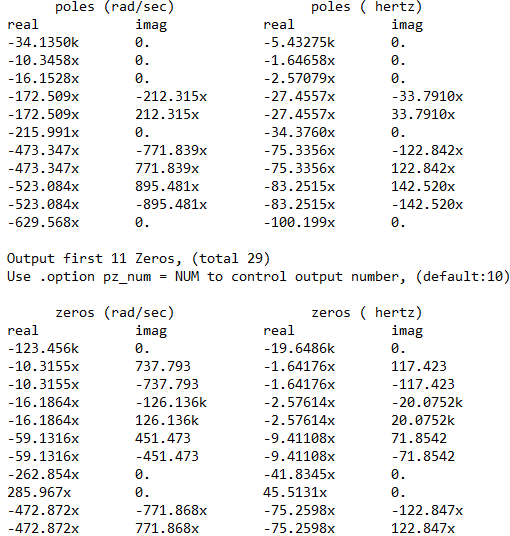
Fig. 3.3(b)





能得知CMRR\_in\_db為Dcgain\_in\_dB減去Acm\_in\_dB為113.9886(dB)，符合規格中的CMRR要大於90(dB)。

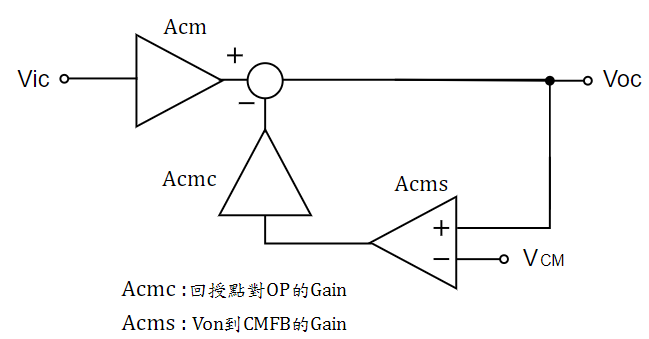
Fig. 3.3(c)



Dis. 3.3

1. **Gain**

若沒接上CMFB可能會造成電路無法穩定Vocm，故要接上CMFB讓電路輸出電位穩定在0.75V，因此可看為一個負回授，如下圖所示，能得出ACM。



Acm 由三級組成。第一級利用等效共模半電路去求解，而第二級和最後一級Buffer與等效差模半電路一樣求解即可，但須注意RL和Rcm的負載效應須納入考慮。

|A1|= (gm2ro2ro4) / (ro4+ro2+(1+gm2ro2)(2ro5)) = 4.49(V/V)

|A2|= gm6(ro6||ro7) = 62.83(V/V)

|A3| = (ro11||ro10||RL||Rcm) / ((ro11||ro10||RL||Rcm)+gm10-1)= 0.97(V/V)

Acm = |A1A2A3| = 273.6(V/V)

Acmc為從M5的Gate灌入訊號，觀察對於Von的反應為何，需注意的為第一級與Acm又略有不同，但第二級和Buffer也與等效差模半電路一樣分析即可。

|A4|= 0.5gm5[ro4||(ro2+(1+gm2ro2)(2ro5))] = 342.47(V/V)

|A5|= gm6(ro6||ro7) = 62.83(V/V)

|A6|= (ro11||ro10||RL||Rcm) / ((ro11||ro10||RL||Rcm)+gm10-1)= 0.97(V/V)

Acmc = |A4A5A6| =20883.04(V/V)

Acms 為 Von到 CMFB 的電壓增益。

Acms = gmMCM1 / 2gmMCM3 = 0.6595(V/V)

A(with CMFB) = Acm / (1+AcmcAcms)= 19.86513m(V/V)

與模擬出的Gain = 20.0034m(V/V)，誤差為0.69%，誤差很小，推測有可能是Acms忽略ro的計算產生些微誤差。

所以CMRRcalculated= 80.0107 - 20log0.020034 = 113.9886(dB)

1. **Low Frequency Zero**

The low frequency zero = 1 / (gm6-1-RC)CC =41.9066(MHz)

與Fig 3.3(c)模擬出的值41.8345(MHz)，誤差為0.17%，公式基本正確。

* 1. Open-Loop Common Mode DC Sweep

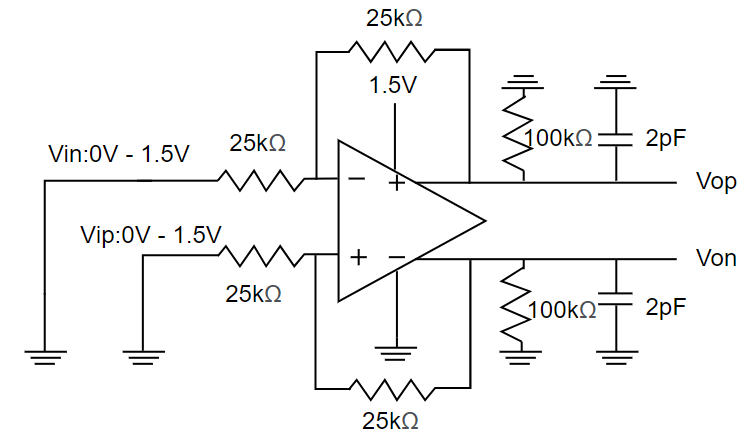
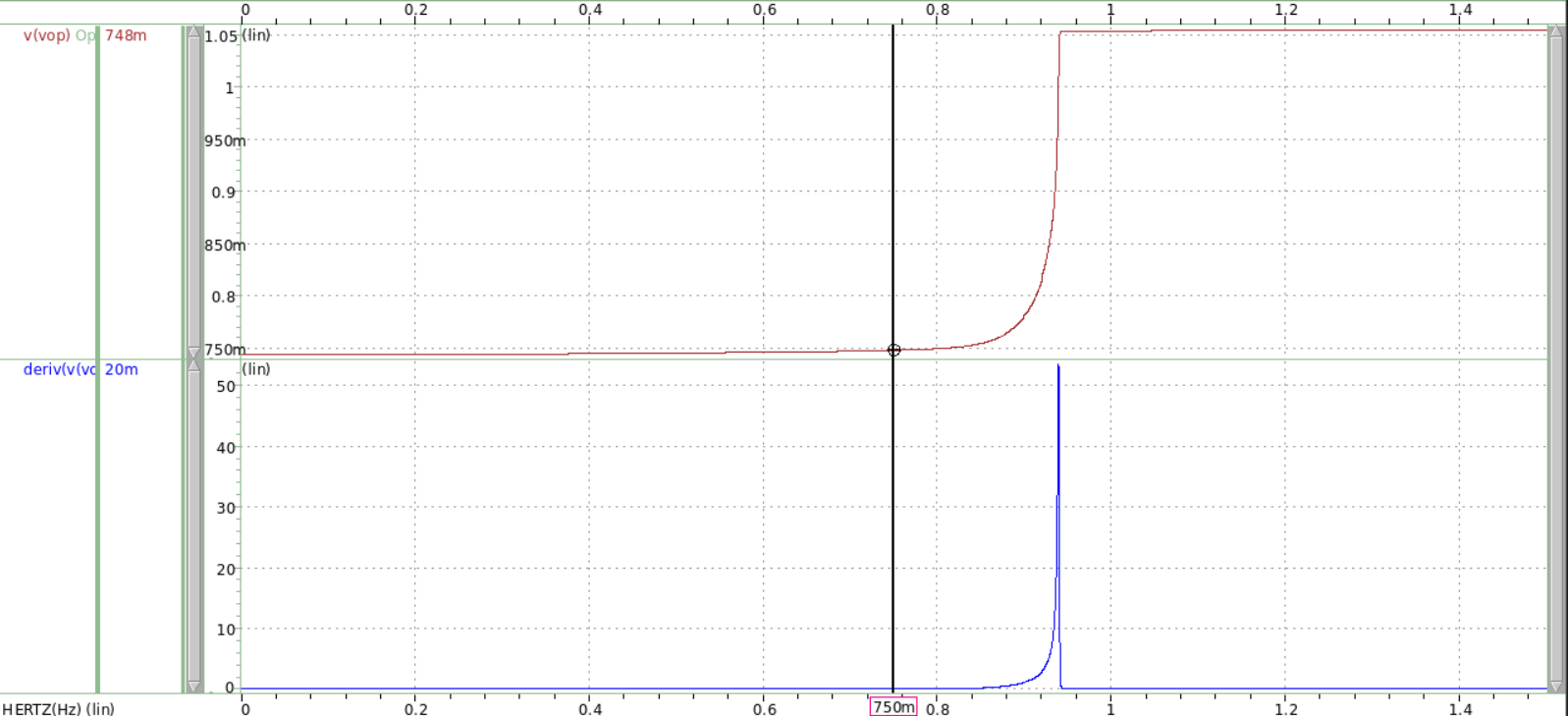


Fig. 3.4(a)



VOP

***Voltage (V)***

Slope

Compare with

AC response: 20.0034m

Deriv VOP

***Voltage (V)***

與上題AC Response得到的Gain =20.0034m(V/V)非常接近。

* 1. Open-Loop Power Supply AC Response

1. **Supply+**

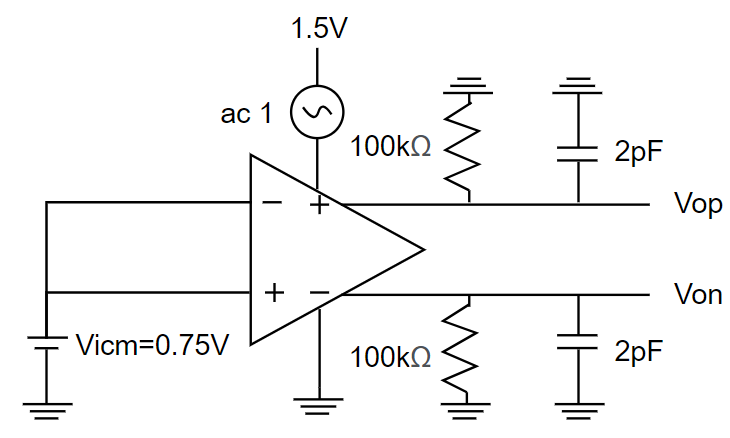
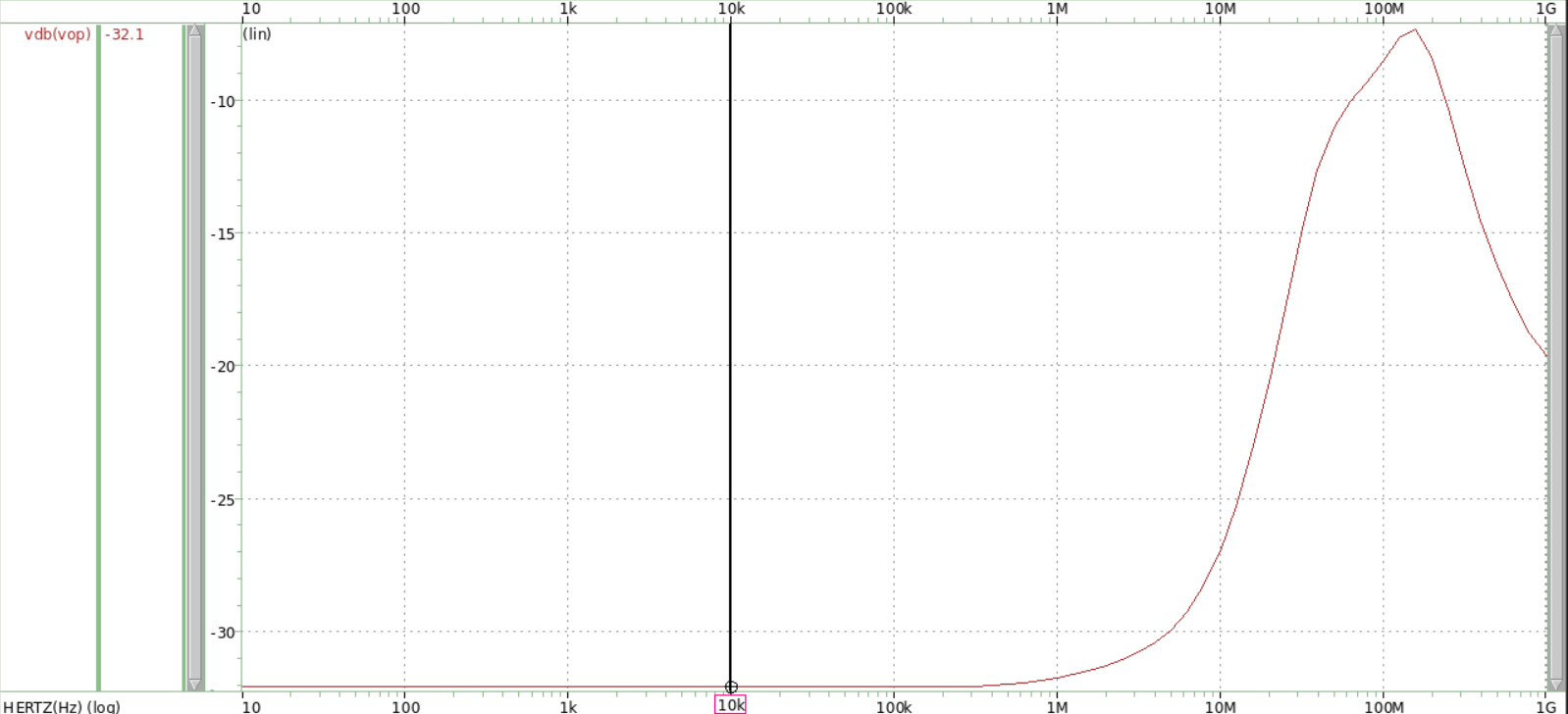


Fig. 3.5(a)



DC Gain = -32.0910 (dB)

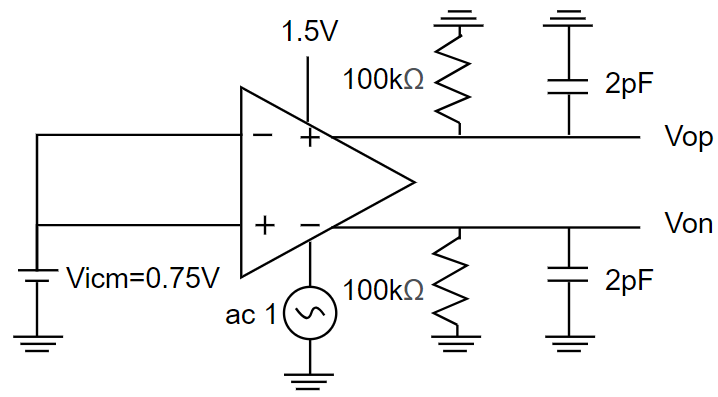
***Gain (dB)***

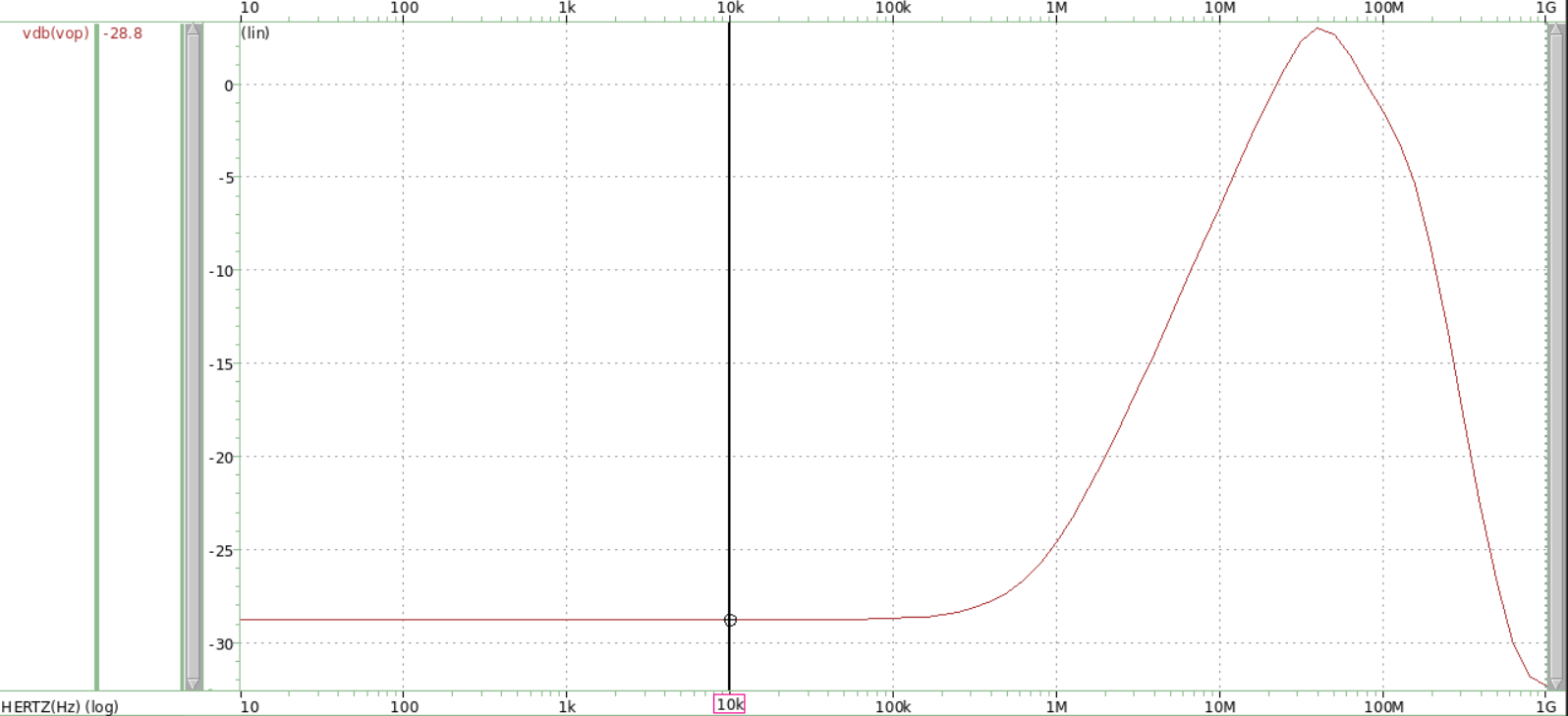
***Frequency (Hz)***

****

根據定義，PSRR+為ADM / AVdd，ADM為電路本身的雙端差動增益、AVdd為電源對輸出的反應為何，當然我們希望ADM越大越好，AVdd越小越好，也就是說Vdd 的小訊號越乾淨越好，因此 PSRR+越大越好，可經由計算得知PSRR+ = ADM\_Gain\_in\_dB – AVdd\_in\_dB =112.1017(dB)，滿足規格所要求的90(dB)。

1. **Supply -**

.

Fig. 3.5(b)

DC Gain = -28.7698 (dB)

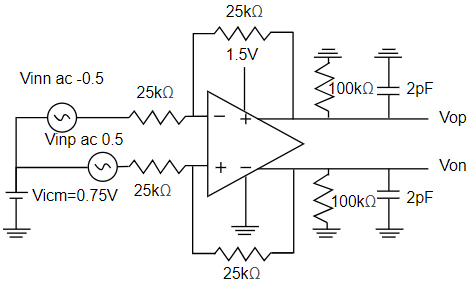
***Gain (dB)***

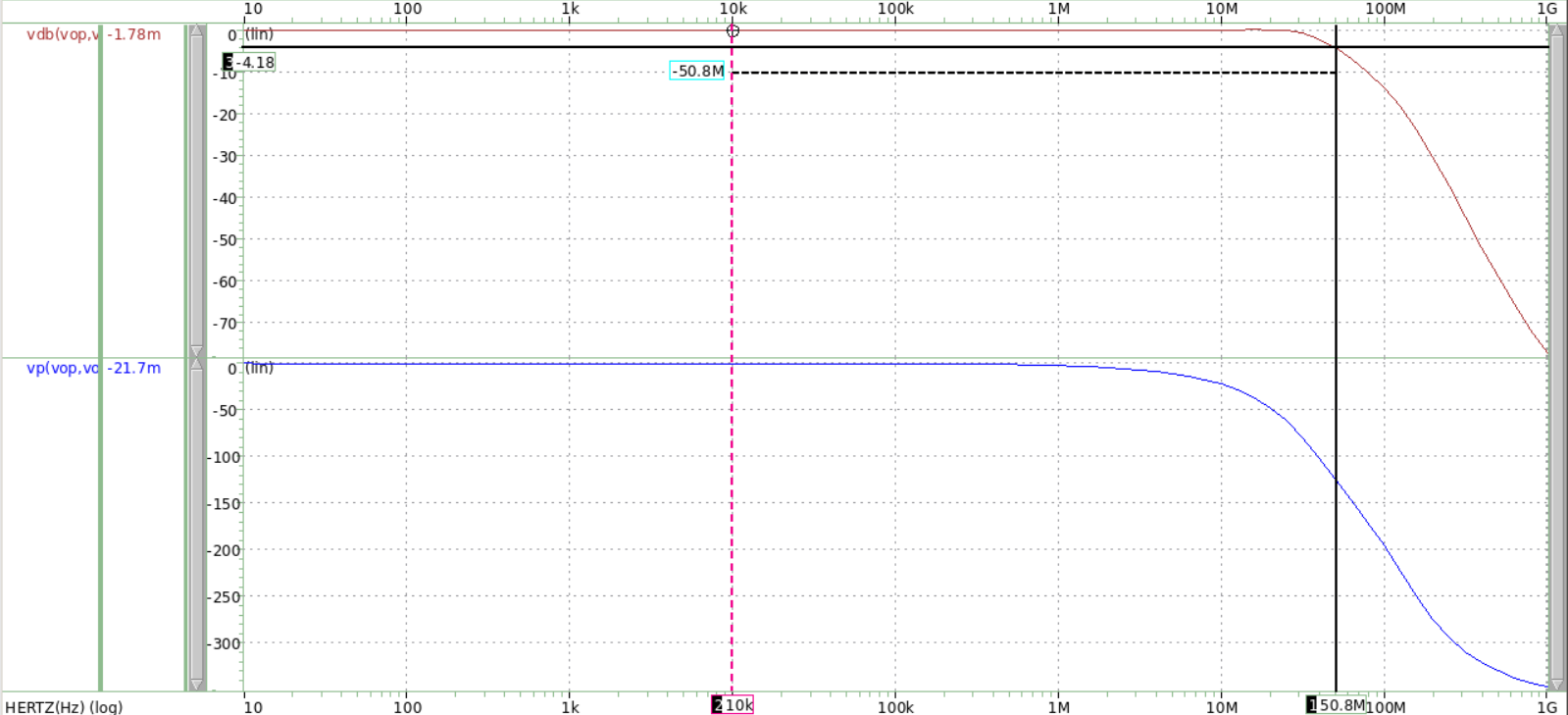
***Frequency (Hz)***



與上題類似，只是將測試訊號改到Vss上，Vss的微小變動對電路造成的影響定義為 AVss。這與AVdd一樣為非理想訊號，故不管是Vss還是Vdd，我們皆希望對輸出的反應越小越好。而本次規格PSRR-為ADM\_Gain\_in\_dB – AVss\_in\_dB = 108.7805(dB)，也符合本次作業的規格大於90(dB)。

* 1. Closed-Loop Differential Mode AC Response



Fig. 3.6(a)

f-3dB=50.8MHz

DC Gain=-1.78mdB

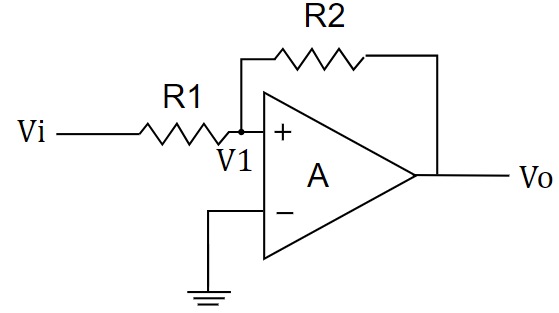
***Gain (dB)***

***Phase****(****°****)*

***Frequency (Hz)***

Dis. 3.6(b)

1. **For Gain**

****

由上述可以簡單列出兩式:

(V1-Vi) / R1 = (Vo-V1)/ R2

Vo = A V1

整理可得出Vo/Vi = (R2 / R1)/ (1 + (1+R2 / R1) / A)

將R1=R2=25kΩ和A=10.0122k(V/V)代入

可得出Vo/Vi = 0.99800638(V/V)= -0.0173336(dB)

與模擬值-1.78mdB=0.9997946(V/V)非常接近，誤差為0.18%。

1. **For -3dB BW**

假設A(s)只有Simple Pole不然會變得很複雜。

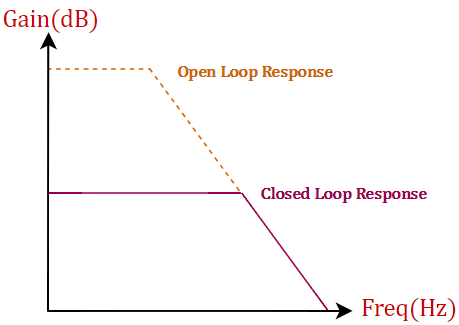
AClosed-Loop= , 其中回授增益

可以發現Pole在Closed-Loop中變成倍，f0=5647.21(Hz)

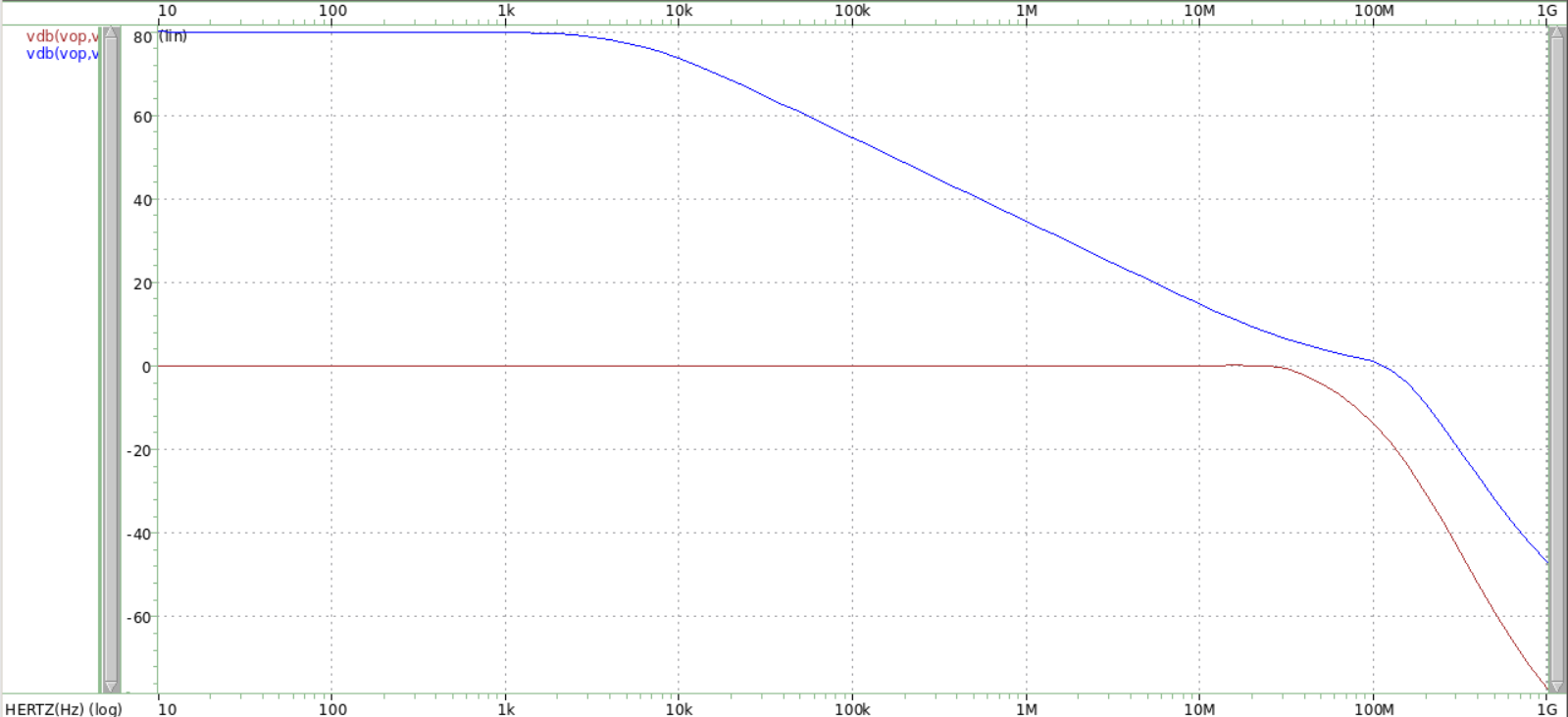
-3dB Pole = 5647.21=56.54(MHz)，模擬值為50.8(MHz)，誤差為10.15%，誤差可能為假設系統理想只有一個Pole和各值四捨五入造成。

另外理想來說Closed Loop Response 和Open Loop Response 應要交在一個點後同時下降，如圖Dis. 3.6(b)-1所示，然而Open Loop系統並不理想，不是只有單單一個Pole，而且還存在Zero，所以導致兩者並沒有交會，實際情況如圖Dis. 3.6(b)-2所示。

Dis. 3.6(b)-1



Dis. 3.6(b)-2



Open Loop Response

有Zero使Gain非直線下降

***Gain (dB)***

Closed Loop Response

***Frequency (Hz)***

Fig. 3.6(c)

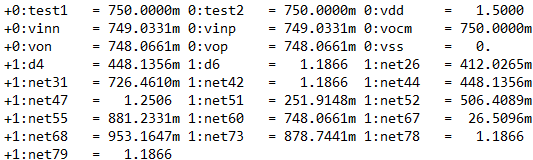
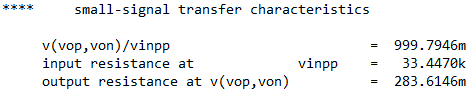


Fig. 3.6(d)



Dis. 3.6(e)

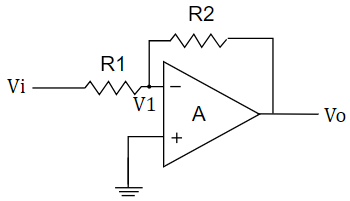
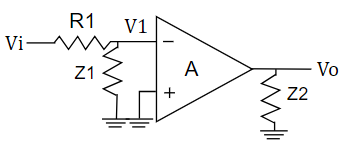
1. **For Gain**

如同Dis. 3.6(b)所討論。

可得出Vo/Vi =0.99990013(V/V)

與模擬值-1.78m(dB)= 0.9997946(V/V)非常接近，誤差為0.01%。

1. **For Input Impedance**



I1===

Z1===

所以Input Impedence = R1+Z1||Zopen，其中假設Zopen為無限大。

Zin,closed = 25000+25000/(1+10012.2)=25002.5(Ω)

與模擬結果33.4470(KΩ)，誤差為33.7%，誤差來源可能為忽略Zopen和Aopen本身存在誤差產生。

1. **For Output Impedance**

我們知道理想的Op Amp會有Zero Output Impedance，但是因為我們加上了CMFB的電路，才導致了Output Impedance有些微的上升。

* 1. Closed-Loop Differential Mode DC Sweep

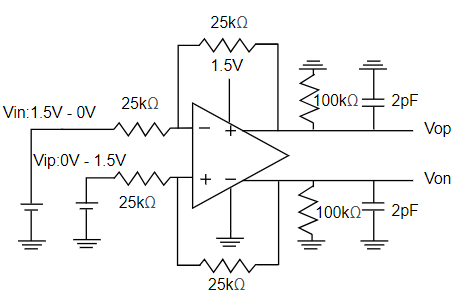
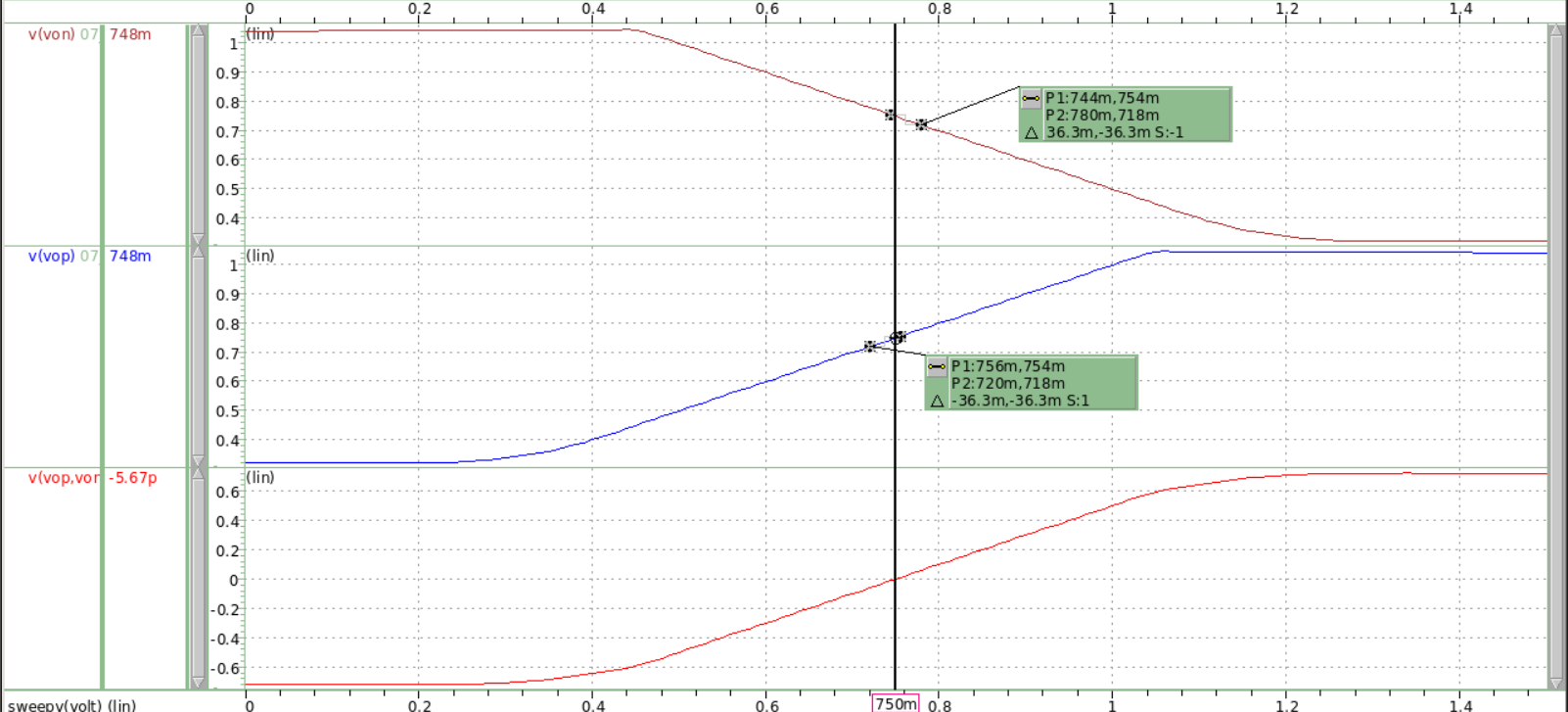


Fig. 3.7(a)



VON = 0.748mV

***Voltage (V)***

VOP = 0.748mV

VOP-VON = 0V

***Voltage (V)***

當VON和VOP為0.748V(約為Vdd/2)時，能得出差動斜率為1(V/V)，與3.6模擬結果0.9997946 (V/V)相當接近，且因電路對稱，兩端輸出的電壓值等值異號。

* 1. Closed-Loop Distortion Simulation

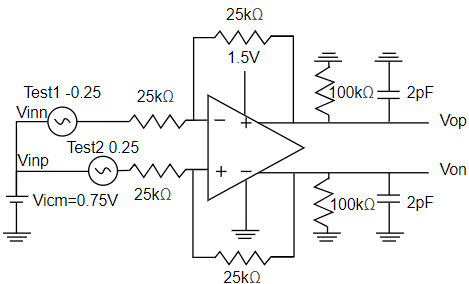
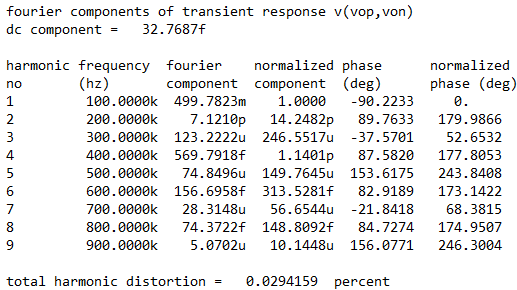
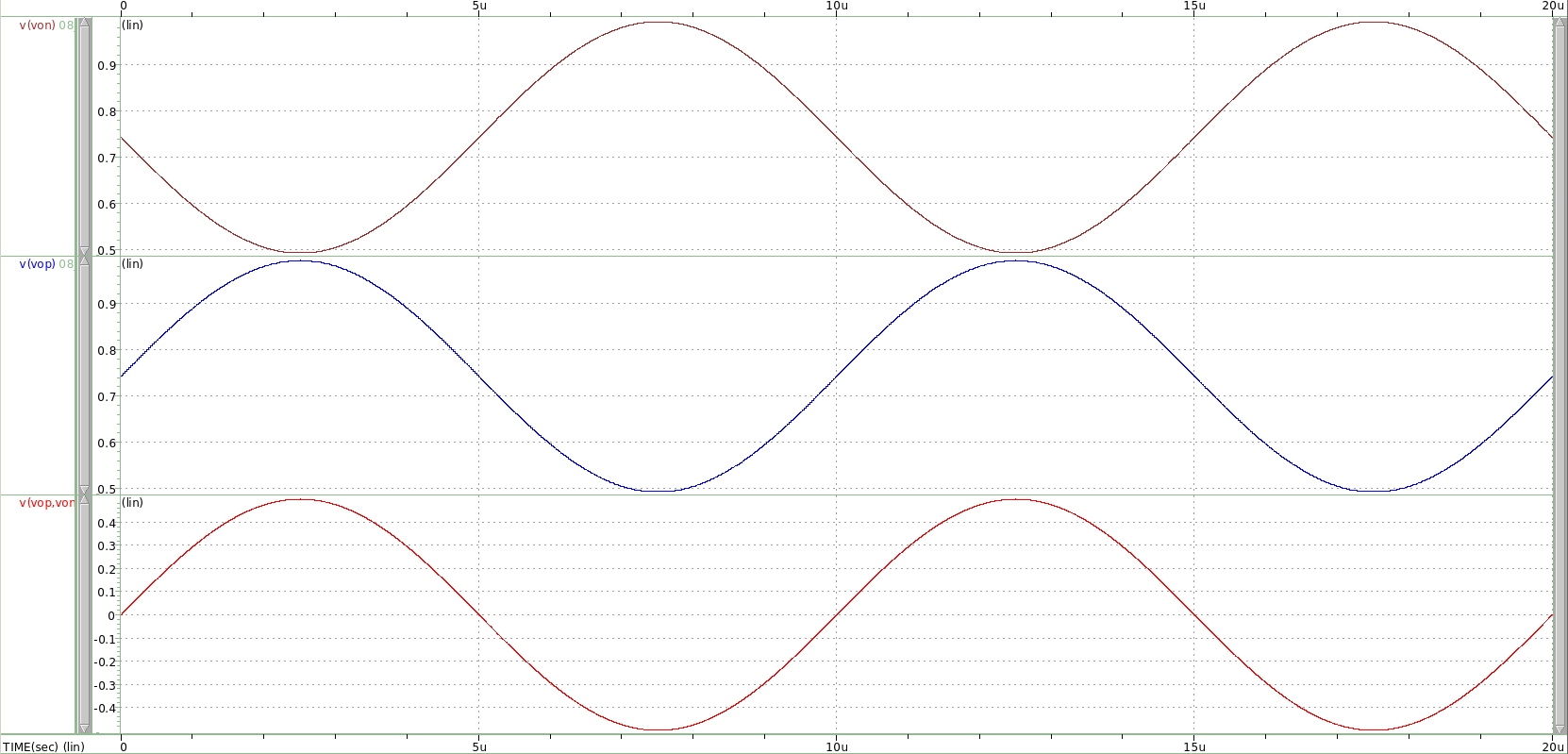


Fig. 3.8(a)





VON，Vm= 0.25V

***Voltage (V)***

VOP，Vm= -0.25V

Swing = 1V

VOP - VON

***Time (Sec)***

雙端輸出相較於單端輸出的THD更好，因雙端輸出能有效地把偶次項的諧波成分給消去，而主要看的是基波、二次諧波、三次諧波，其餘成分影響不大。我設計的OP電路雙端輸出的THD為20Log(0.0294159×0.01)=-70.63(dB)，小於題目所要求-60(dB)。

* 1. Closed-Loop Step Response

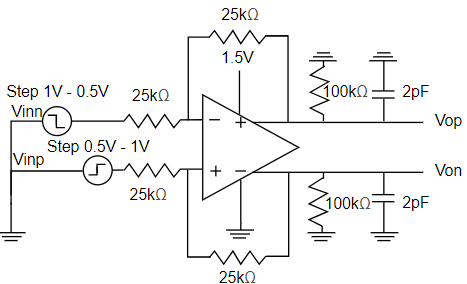


Fig. 3.9(a)



VON

***Voltage (V)***

VOP

VOP - VON

***Time (Sec)***

Fig. 3.9(b)

Settling Time-為

100.7992(ns)-50(ns)=50.7992(ns)

N

***Time (Sec)***

N

N

N

Settling Time+為

85.8180(ns)-50(ns)=35.8180(ns)

***Voltage (V)***

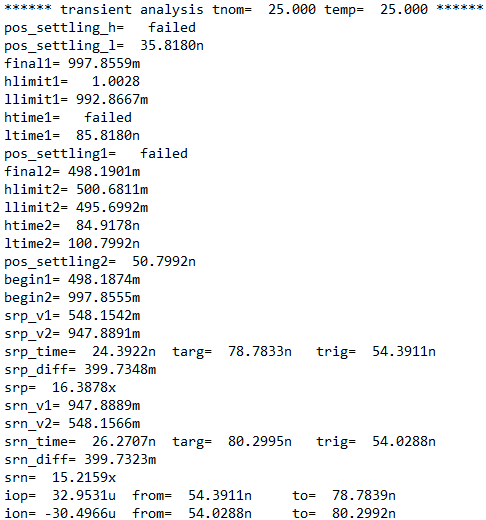
下圖為跑出來的結果，可以發現Slew Rate+為16.3878(V/us)，Slew Rate-為15.2159(V/us)，Settling Time+為85.8180(ns)-50(ns)=35.8180(ns)，Settling Time-為100.7992(ns)-50(ns)=50.7992(ns)，皆符合題目要求。理論上雙端輸出比起單端輸出速度更快，因雙端輸出能夠透過Differential有效地消除偶次階諧波所帶來的部分擾動，把單端輸出的Damping有效地抑制下來，也有較佳的 THD 特性以及Settling Time表現。

Slew Rate由External Node所產生，計算如下:

VOP,SR =|max == = 16.4765 (V/us) 與模擬值誤差為0.53%

VON,SR=|max == = 15.2483 (V/us) 與模擬值誤差為0.21%

上述誤差可能來自平均充放電的電流時間始終與SR Time差了一點造成。



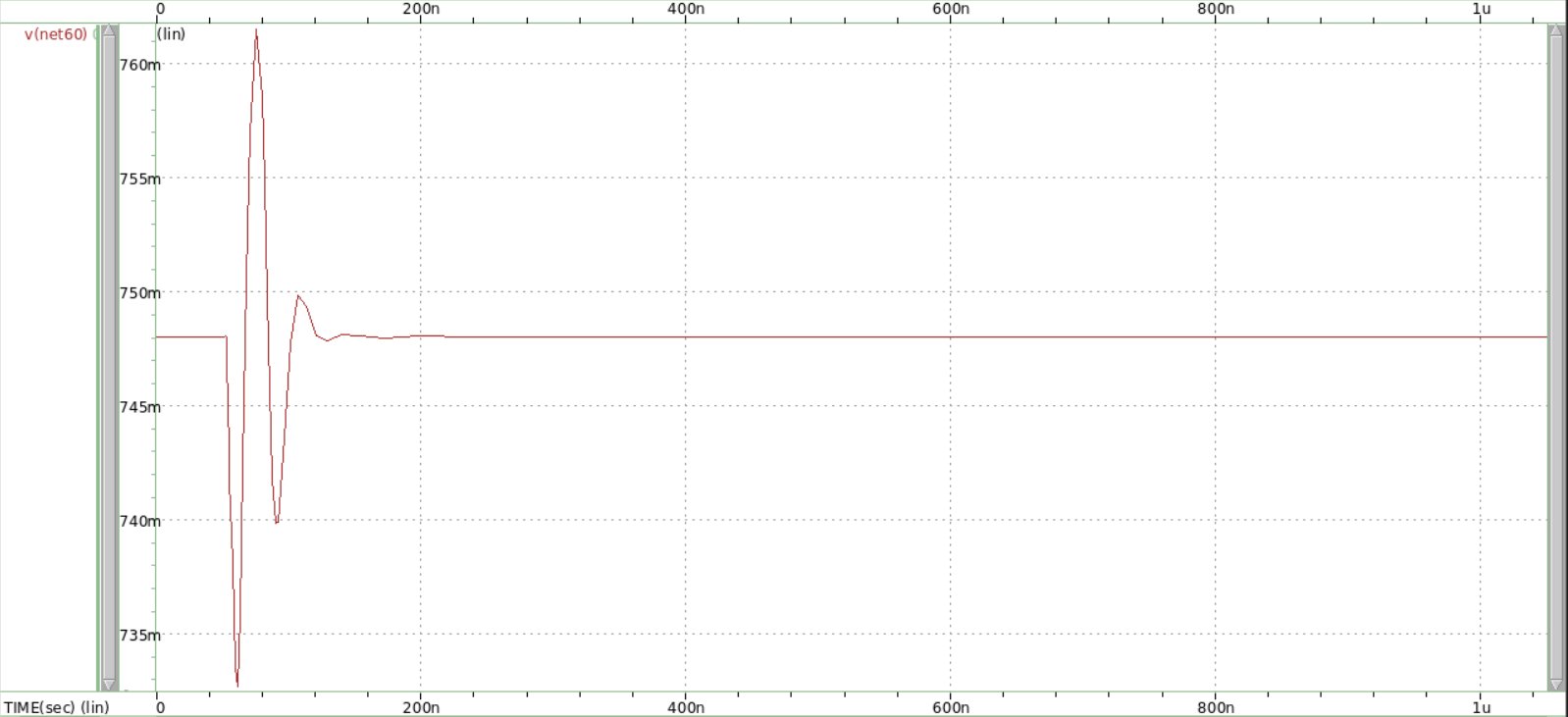
N

N

N

N

N

Fig. 3.9(c)

Common Mode Sensing Node

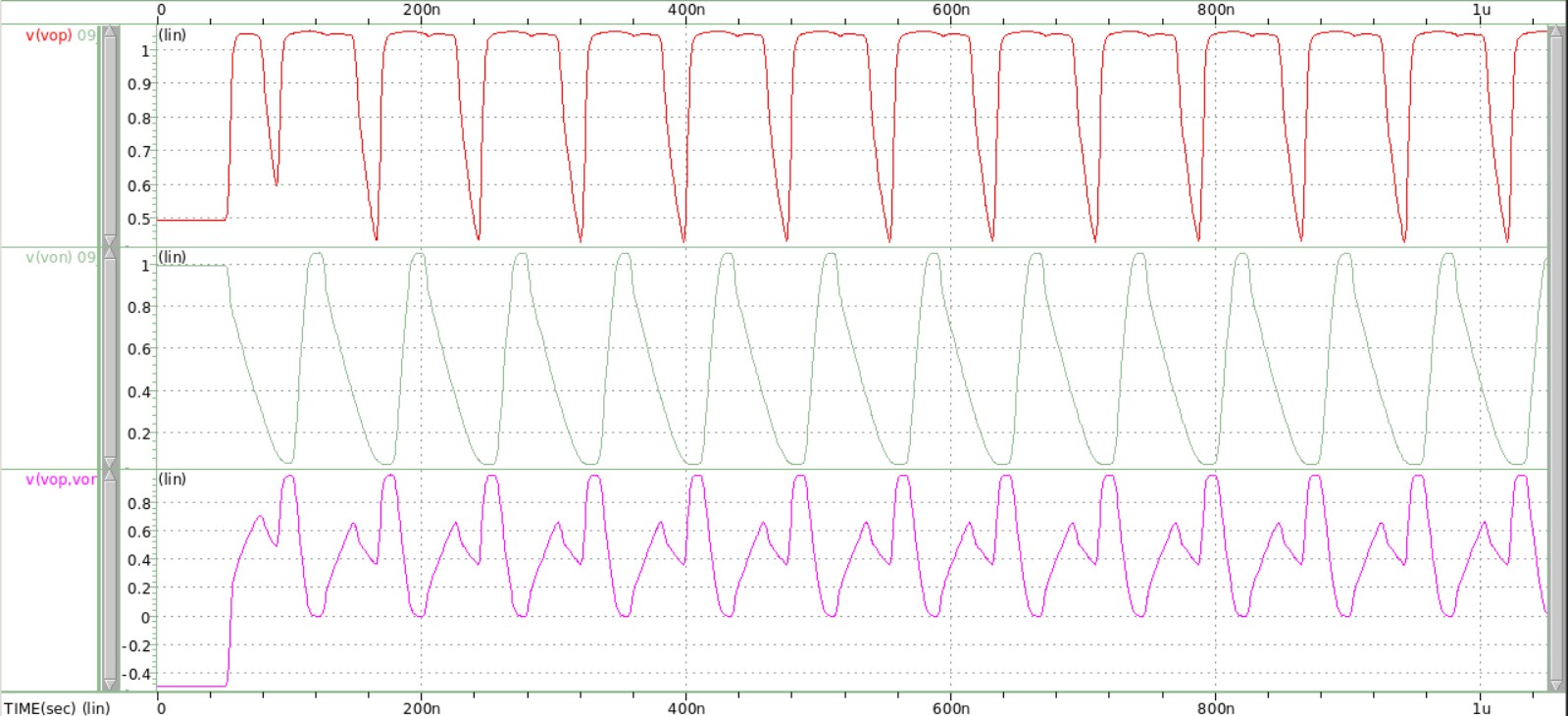
***Voltage (V)***

***Time (Sec)***

Fig. 3.9(d)

Settling Time的部分可以先比較以下三種情況Un-compensate、Light-Compensate、Normal-Compensate:

1. **Un-compensate:**

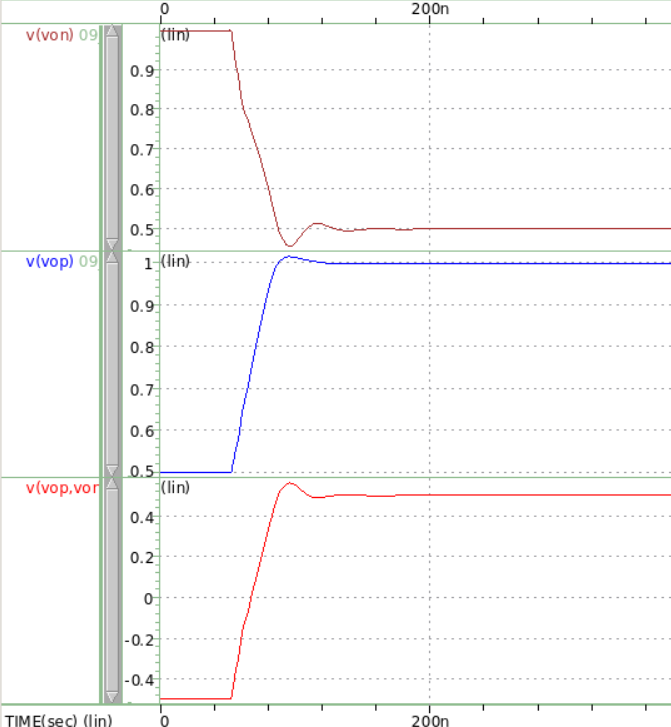
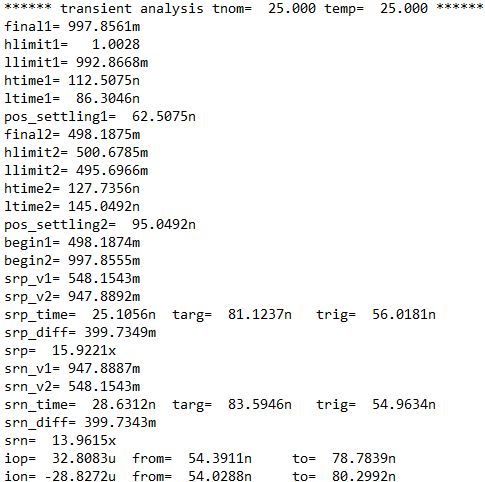


***Time (Sec)***

***Voltage (V)***

可以看出在Un-Compensate下，Von和Vop整體來說是不能使用的，因為OP本身為不穩定。

1. **Light-Compensate(CC=1.09p,RZ=2kΩ):**



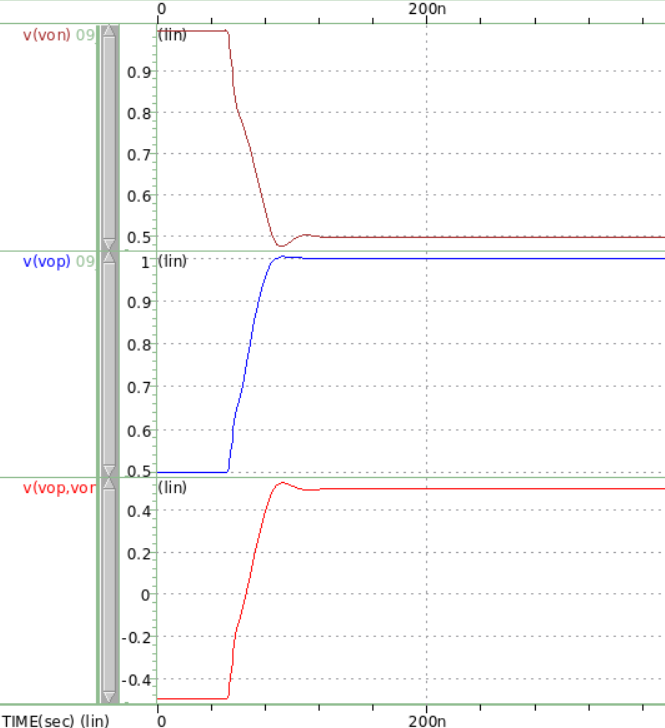
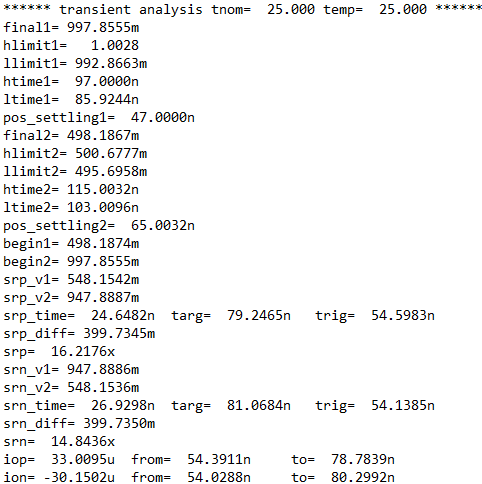
N

N

***Time (Sec)***

***Voltage (V)***

1. **Normal-Compensate(CC=1.09p,RZ=4kΩ):**



N

N

***Time (Sec)***

***Voltage (V)***

以上做了三者不同Case的比較，利用更改補償的變數來去檢查各種穩定狀況，主要想比較Normal和Light的狀況下Settling Time的速度。Settling Time 與 Damping Ratio有非常大的關係，如果Damping Ratio越小能有效減少Settling Time，而且其值也與 Phase Margin還有Band-Width非常有關係。另外 Settling Time與CMFB-Loop亦有正相關，在CMFB-Loop中，RZ和CC同樣也會被補償到，觀察下來加強Rz和Cc對整體來說的穩定程度是更好的。

而CMFB部分，由Fig. 3.9(d)-1能看出當輸入給一個震幅為1V的Step訊號，理論上輸出應立即反應同樣一個震幅為1V的輸出，但因Von和Vop總有一些偏差，而這些偏差也會反應在輸出上而造成輸出的偏移。要解決這個問題於是加入了CMFB的電路，將Von和Vop拉出來經RCM分壓看相加除以二的電壓，若與期望的Vocm有偏差，藉由改變CMFB內部Error Amplifier電流，經由負回授回到M5的Gate去調整輸入的偏壓值，經過一段時間穩定後會使得Vocm回到最初設定的值，大致流程圖如Fig. 3.9(d)-2所示。

Fig. 3.9(d)-1

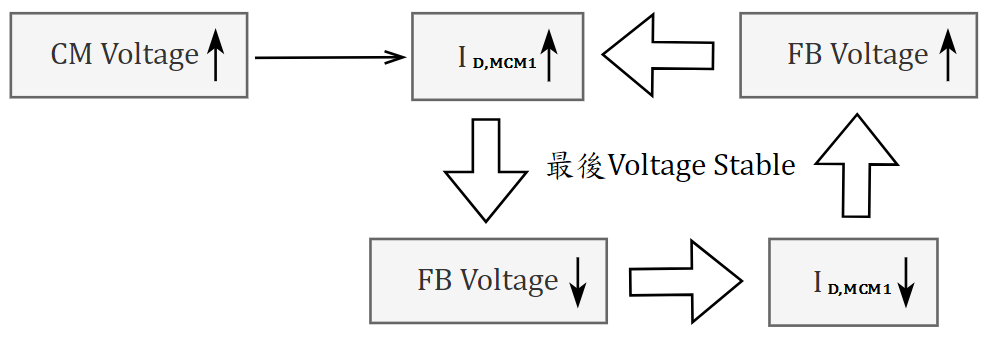


***Time (Sec)***

***Differential***

***Voltage (V)***

Fig. 3.9(d)-2



1. Design Considerations
2. Device Values And Operation Point Selection
3. **For bias**

注意電流源的Length盡量大一點，一方面是為了讓Vth不要那麼高以去壓縮操作區間，另一方面根據理論有較大的 Vov的話有較好THD，最後則是大的Length 可得出較大的 r­o­在Common Mode分析時，能得出較小的ACM。而對於Constant gm和Start-up的設計，我一開始打算將送入M3、M4、M11、M13的Gate電壓設定在0.5V，接著再使用Dis.1.(a)推導的公式，由於ID,MB5會等於ID,MB4，所以可以從電流ID,MB5和Vov,MB4算出大致上的電阻，接著也要讓各處MOS處在合適的區間，特別注意MB1要Subth，透過不斷的微調最後將Rb設定在7500Ω。

1. **For Core Differential Amp**

此為兩級放大器的核心，可以知道設計需左右對稱才會有平衡的Performance，也才能使用等效半電路做分析。

**For Frequency and Time Domain**

設計時，發現Pole2設計在Unity Gain Frequency外，對於穩定性的掌控程度會最佳，已知Pole2為Output Pole，若要把Pole2推遠的話從公式可以知道gm12不能太小，也就是Buffer的電流要夠大，同時也可以增加Slew Rate。另外也要特別留意Zero的位置，盡量要讓Zero位於Unity Gain Frequency之前，這樣才能讓Gain下降的速率變緩且Phase也能稍稍拉回，要小心的是一但有過多的補償就會有 Time-Domain 上的問題，可能Slew Rate不佳又或者是整個電路起震到很後面進而拉高Settling Time。至於Dominant Pole也要特別留意，從公式可以知道如果將CC­取小，雖然可以讓Dominant Pole變大，使得Unity Gain Frequency和Slew Rate增加，但會讓Phase Margin下降，而在設計時我發現 Settling Time和Slew Rate是有Trade OFF的，因為我發現 Slew Rate增大時，Damping也會越來越大，且增加CC的電容值有的時候可以減少Settling Time，但Slew Rate也會因此減小，因此如何決定CC、gm6和RZ就顯得很重要。

**For Gain**

至於MOS尺寸的設計，由於Gain是由兩級OP相乘的，為了讓Gain達到規格80dB，首先大致觀察Gain公式(忽略Buffer的影響)，由於gm6與Zero有關，為了避免RZ到時候取得過大超過上限，所以避免將gm6取得過小((W/L)6要大)，代表不能為了壓低電流而將第二級電流壓過低，而第一級的電流我設計的很小，由於根據HW1，ro反比於電流，所以我設計得電路主要是是依靠ro來增高Gain的，因此第一級跟第二級MOS的L不能取得太小，總之將M1、M2、M6、M8的(W/L)提高，或是將M3、M4、M7、M9的(W/L)降低，都可以使Gain增加。另外加入Buffer的目的是為了有效降低輸出阻抗，使得如果後級接上其他電路或是Loading，可以降低負載效應讓Gain不會掉太多。

**For THD**

我發現當Supply Voltage壓越低時，當Von、Vop越接近Vdd/2，THD會突然暴增，經過幾次嘗試之後發現需要將M10、M12的Vov壓得越低越能增加電路的線性度並減少THD。

1. **For CMFB**

這塊即是這次Project最需要探討的地方。這部分功能是假設電路中有一個地方產生偏差，以至於Vop、Von不在我們所需的點上，我們須經由CMFB與我們所需的Vocm做差值的比較，而CMFB的輸出再經負回授傳至Core Differential Amplifer做偏差的調整。可以注意的由於RL掛上100kΩ，所以RCM的值不能取得太小，不然根據上述推導Buffer Gain公式會稍微降低增益，此外我也發現將RCM提高可以減少Settling Time，我取RCM=119 kΩ，。

1. **For Start-Up Circuit**

此電路的目的為假設Supply電壓上電時，防止Constant gm電路無電流永久處於穩態，加入的MB1等同新增一條路線使得MB7在電壓上電時有電流從MB7流至MB1，又因為MB6為Diode Connected，所以MB6也會有電流，這樣可以使得Constant gm不會處於關斷的狀態，根據Dis.1(b)可以得知當Supply電壓達到1.5V時，MB1最終要關斷，所以可以讓MB1的(W/L)小，且我為了使電流壓低也將MB3的(W/L)取小。

(b) Compensation

若Pole2要推到Unity Gain Frequency外的話gm12必須要大，除了將Pole2推遠之外，加入補償電路之後，還需要將Zero盡量往前拉，讓Gain和Phase降低不那麼劇烈，而上述有提到Zero與CC、gm6和RZ有關係，且為了能讓Zero為左半平面也就是要設計RZ>1/gm6，而如果將CC取大或RZ要取大，也能使Zero往前移，同時也能稍微減少Damping的幅度，增加電路的穩定性，然而Slew Rate也會因此變小，要注意的是如果補償過多導致Zero太前面，雖然可以大幅增加Unity Gain Frequency，但如果使Pole2落到InBand就會導致Phase Margin降低，最終我取RZ=4.55KΩ，且把 Phase Margin設置在45度。由於我為了要讓電流壓在0.4uA以下，又為了讓Slew Rate達到規格，所以取小的C­C­=1.09pF。

(c) Supply Voltage

在不斷嘗試不同Supply Voltage後，我發現其實最難達成的是當Supply Voltage越低，會使得THD越來越難壓下來，而且在跑AC Closed-Loop時，很容易因為AC擺福大，使M1、M2的Source端電壓太高，讓M5的Vds減少很多，很容易進到線性區，這樣會造成第一級電流不夠，連帶影響M1、M2、M3、M4等MOS離開飽和區，最後Gain就會因此不正確。另外減少Supply Voltage也會減少各MOS的電流，有可能讓Gain沒辦法達到那麼高，Slew Rate也有可能因電流下降而變慢。

(d) Optimizing Performance

如果要讓Performance好，就要確保在能維持80dB Gain和100MHz GBW的情況下想辦法減少Supply Voltage和電流，同時又要滿足其他的Spec，除了上述提及減少Supply Voltage會帶來的影響外，減少電流的部分有可能會受限於Slew Rate的影響，如果Slew Rate落在External Node，Buffer電流不能壓太低，且避免讓Slew Rate在Internal Node Dominant，所以補償電容CC需壓得夠低，這樣就可以讓各級的電流壓小。然而第二級的電流也不行壓得太低，不然gm6的降低可能會使Dominant Pole過小壓低了GBW，總之在實作過程中遇到很多Trade-Offs，以下整理幾點:

1. Unity Gain Frequency和Phase Margin(由於Zero的改變)
2. Gain和Unity Gain Frequency(由於Dominant Pole的改變)
3. Slew Rate和Settling Time(CC的改變)
4. Slew Rate和電流(Buffer電流的改變)
5. Gain和電流(gm的下降)
6. Discussions
7. Experience

這次的Final對我來說是一個非常大的挑戰，因為與以往作業不同，這次是把很多上課教過的電路和觀念合在一起，其實整個電路最重要的地方就是米勒補償那塊，只要調整Pole和Zero的位置基本上就能輕鬆達到題目要求的Gain和BW，但最花我時間的地方是卡在各種Trade-Offs，雖然說Gain和BW容易達到，但常常就讓THD、SR、Settling Time犧牲很多，若穩定性不佳只能去調整補償電路RZ、CC，會受到Settling Time和SR的限制;若SR不佳，就去加大 Buffer的電流讓電容充放電的速度能快點或是降低CC值，但同時又可能影響剛調整好的穩定度，加大電流也會受到功耗的限制，甚至影響THD;若Settling Time 不好可能是Slew Rate太慢或者是起震的幅度太大，且CMFB來不及回授造成波形震盪，增加Settling Time。這些在實作過程中雖然繁雜且各數值得取捨須要花很多時間去嘗試，但當逐漸掌握到關鍵之後就會變得有趣很多，最後我本來想嘗試將Supply Voltage壓到1.3V，但是THD會增加很多也壓不下來，跑Closed Loop AC Response時，MOS的工作區也常常會偏，Gain也調不到那麼高，所以最後就以Supply Voltage 1.5V，不斷嘗試壓低Settling Time，經果幾次嘗試之後發現如果將M1、M2的L壓低可以有效降低Settling Time，且掉下來的Gain如果透過加大M3、M4的L來補效果最佳。

1. Summarizing

從這個Project學到很多知識，也花了很多時間去理解各參數和電路代表的意思和功能，尤其米勒補償那塊我覺得最神奇，居然可以透過電容就把Pole1和Pole2拉遠，加上電阻竟然還可以產生一個LHZ對電路的穩定性增加不少，同時CMFB也是電路中很重要的一環，可以透過FB電壓改變電流，負回授回去調整偏壓，也達到穩定電路的功能，另外Start-Up電路也是第一次使用，可以使Supply 電壓從0V到Vdd時不會因為電路無電流而停擺，可以透過增加另一個Path讓電路活起來。至於THD我還是沒有一個確切的方法來降低它，只能從嘗試中找到端倪，像是調整M10、M12的Vov和嘗試找到適合的Length尺寸。

整體來說這是門對於類比電路有熱忱的人來說的初階課程，要走類比相關領域的這門課應該算是必修，但我希望老師能在前面較簡單的部分能上快一點，多把時間放慢留在後面的章節，很多時候上課會來不及理解就要跳到下一個內容，同時也希望作業批改的速度能再快一點!總之非常感謝教授這學年的教學，很喜歡聽教授分享人生和職場經驗，這堂課可以算是我這學期收穫最多也花最多時間的一門課，也感謝助教們想出這些作業給我們練習，希望未來能有機會進到教授的實驗室學習!

1. Reference

以上圖片均為自行繪圖。